

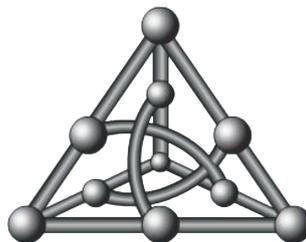
Dissertação de Mestrado

Estimativas de *Dark Silicon* em
Projetos de Sistemas *Multicore*

Tony Carlos Bignardi dos Santos

Orientação: Prof. Dr. Ricardo Ribeiro dos Santos

Área de Concentração: Sistemas de Computação



Faculdade de Computação
Universidade Federal de Mato Grosso do Sul
19 de outubro de 2016.

Estimativas de *Dark Silicon* em Projetos de Sistemas *Multicore*

Campo Grande, 19 de outubro de 2016.

Banca Examinadora:

- Prof. Dr. Ricardo Ribeiro dos Santos (FACOM/UFMS) - orientador
- Prof. Dr. Edson Borin (IC/UNICAMP)
- Profa. Dra. Liana Dessandre Duenha Garanhani (FACOM/UFMS)
- Prof. Dr. Fábio Iaione (FACOM/UFMS) - suplente

Resumo

A demanda por computação de alto desempenho continua a crescer de forma significativa. Apesar da indústria entregar aos consumidores sistemas computacionais mais eficientes, limitações físicas e restrições tecnológicas colocam em risco a evolução para as próximas gerações de processadores. O aumento exponencial de dissipação de potência estática devido ao incremento da corrente de fuga em transistores com escala de integração abaixo de 90nm limita a fração de área do circuito que se pode manter ativa no momento da execução. O termo *dark silicon* é utilizado para indicar a fração de área do *chip* que deve ter frequência de *clock* reduzida para manter restrições térmicas de potência do projeto. Algumas alternativas para contornar a necessidade de subutilizar uma parte da área do *chip* estão a adoção de *hardware* especializado e exploração de paralelismo. Essas alternativas possibilitam que uma parte da área do *chip* seja utilizada para execução de código em frequências menores visando não extrapolar o orçamento de potência. Observa-se assim a necessidade de técnicas e ferramentas para o projeto de sistemas cientes de *dark silicon*. Este trabalho tem como objetivo identificar e mensurar a área de *dark silicon* em projetos de sistemas computacionais com tecnologia abaixo de 90nm, utilizando-se de uma metodologia baseada no cálculo da densidade de potência de um projeto base (90nm) e da adoção de um circuito de referência. Experimentos foram realizados considerando projetos de processadores multicore comerciais para estimar o *dark silicon* presente nesses projetos considerando suas evoluções tecnológicas. Adicionalmente, um experimento de exploração do espaço de projeto foi realizado, com o intuito de validar as estimativas de *dark silicon* and buscar alternativas para utilização eficiente da área do *chip* diante das restrições físicas de projeto.

Abstract

The demands for high-performance computing systems are still growing up significantly. Although the semiconductor industry is delivering efficient computing systems to the consumers, the physical and technological constraints can jeopardize the technological evolution to the next microprocessors generations. The static exponential power increase due to the leakage current in transistors below 90nm puts limits on the chip active area usage at runtime. The dark silicon concept refers to the amount of chip area working on reduced clock frequency to meet the thermal power constraints of the design. Among the alternatives to overpass the dark silicon are the adoption of parallel resources and hardware accelerators. Such alternatives enable the dark silicon areas to run in lower clock frequencies complying with the design power budget. Considering the lack of techniques and tools for the design of systems aware of dark silicon, this work focuses identifying and measuring the dark silicon on the chip on designs below 90nm using a methodology based on the power density of a base project (90nm) and a reference circuit. Experiments have been carried out on commercial multicore processors to estimate the dark silicon considering their technological advances. In addition, an experiment on design space exploration has been conducted to validate the dark silicon estimates and to look for alternatives to utilize the chip area on the physical constraints of project.

Agradecimentos

A minha Família. Minha mãe Verenice, meu pai Freitas e minha irmã Lizandra, por todo cuidado e carinho que sempre tiveram por mim e pelo apoio incondicional.

A minha esposa Gi, pela compreensão nas ausências, pela companhia em todas as horas e motivação nos dias difíceis.

Ao pequenino Henrique, meu filho, que trouxe recentemente à minha vida uma dose desmedida de amor e alegria.

Ao Professor Ricardo Ribeiro dos Santos, pela generosa orientação, confiança e paciência.

A Professora Liana e o Professor Edson, pelas sugestões e contribuições de extrema relevância que fizeram ao projeto.

A Faculdade de Computação (FACOM) da UFMS, pela estrutura e pelo enorme acesso ao conhecimento, me ofertado por meio dos seus excelentes professores.

Aos colegas do LSCAD, pela colaboração no projeto, em especial aos do grupo de pesquisa sobre o *Dark Silicon*: Ana Caroline, Rafael, Clara, João, Matheus e Luiz Tedesco.

Aos Amigos, pelos momentos de descontração e lazer, fundamentais para renovação dos ânimos. Em especial aos queridos Gilson e Manu, sempre presentes em todos os momentos.

Ao Instituto Federal de Mato Grosso do Sul (IFMS), pelo suporte e incentivo a minha capacitação.

A Comissão de Aperfeiçoamento de Pessoal do Nível Superior (CAPES), pelo financiamento do projeto.

Sumário

Lista de Figuras	7
Lista de Tabelas	9
1 Introdução	11
2 Referencial Teórico	13
2.1 Considerações Iniciais	13
2.2 Transistores MOSFET	14
2.2.1 Teoria dos Transistores	15
2.2.2 Efeitos da Corrente e Tensão	15
2.2.3 Potência Dinâmica e Estática	16
2.3 Barreira de Utilização e o <i>Dark Silicon</i>	17
2.4 <i>Dark Silicon</i> e a Escala <i>Multicore</i>	20
2.5 Técnicas e Metodologias para Utilização do <i>Dark Silicon</i>	21
2.5.1 Reduzir o Tamanho dos <i>Chips</i>	21
2.5.2 Utilizar Área do <i>Dark Silicon</i>	22
2.5.3 Especializar Recursos de Processamento	22
2.5.4 Deus Ex Machina	22
2.6 Métricas para Estimar <i>Dark Silicon</i>	23
2.7 Considerações Finais	25
3 Trabalhos Relacionados	26
3.1 Considerações Iniciais	26
3.2 Processadores e Arquiteturas <i>Dark Silicon Aware</i>	27
3.2.1 <i>Conservation Cores - C-cores</i>	27

3.2.2	<i>Greendroid</i>	28
3.2.3	<i>Quasi-specific Cores</i> (QsCores)	28
3.3	Uma Alternativa ao <i>Dark Silicon: Successive Frequency Unscaling</i> - SFU . .	29
3.4	Gerenciamento Térmico para <i>Dark Silicon</i>	30
3.5	Síntese Arquitetural para MPSocs Heterogêneos com <i>Dark Silicon</i>	31
3.6	Alternativas para <i>Dark Silicon</i> em Servidores	33
3.7	Considerações Finais	34
4	MultiExplorer - Ferramenta para a Identificação de <i>Dark Silicon</i> e Exploração do Espaço de Projeto	35
4.1	Considerações Iniciais	35
4.2	Estimativa de <i>Dark Silicon</i>	36
4.3	Ferramenta MultiExplorer	38
4.4	Considerações Finais	43
5	Experimentos e Resultados	44
5.1	Descrição dos Experimentos	44
5.2	Comparativo Entre Estimativas de <i>Dark Silicon</i>	45
5.3	Estimativas de <i>Dark Silicon</i> entre Plataformas Reais	47
5.4	Exploração do Espaço de Projeto Ciente de <i>Dark Silicon</i>	48
5.5	Considerações Finais	51
6	Conclusões e Trabalhos Futuros	52
	Referências Bibliográficas	54

Lista de Figuras

2.1	Estrutura do Silício e átomos dopantes [1].	14
2.2	Transistores do tipo p e do tipo n [1].	15
2.3	Estimativas de <i>dark silicon</i>	19
2.4	Diminuição da área de utilização do <i>chip</i> em frequência máxima [2].	19
2.5	Visão geral dos modelos utilizados e a metodologia.	20
2.6	Estimativas para o aumento de <i>dark silicon</i> relativo à tecnologia de 45nm [3].	21
2.7	Variação da eficiência energética em um sistema convencional <i>multicore</i> [4]. .	24
3.1	Síntese automática e compilação dos c-cores [5].	27
3.2	Fluxo de um sistema com QsCores e fluxo de projeto de um QsCore [6]. . . .	29
3.3	Relação escala de tensão e escala de frequência [7].	30
3.4	Visão geral do <i>framework</i> HADES [8].	32
3.5	Tempo de execução para as diferentes configurações arquiteturais e orçamento de energia [8].	32
3.6	Projeções de Quantidade de núcleos e Speedup dos processadores GPP,EMB e SP [9].	33
4.1	Comparação entre a proposta de estimativa e a escala Pós-Dennard para estimativa de <i>dark silicon</i>	37
4.2	Fluxo para definição do projeto, simulação e estimativas de plataformas computacionais utilizando MultiExplorer.	39
4.3	Fluxo de simulação de desempenho do MultiExplorer.	40
4.4	Fluxo de estimativa física do MultiExplorer.	42
4.5	Fluxo de exploração do espaço de projeto ciente de <i>dark silicon</i>	43
5.1	Estimativa de <i>dark silicon</i> : Smithfield, Santa Rosa, ITRS, Intel Pentium e AMD K8/10.	49

5.2	Resultados Multiexplorer DS-DSE: Quatro (DSE1-DSE4) plataformas viáveis livres de <i>dark silicon</i>	51
-----	---	----

Lista de Tabelas

2.1	Propriedades dos transistores de acordo com a escala de Dennard e Pós-Dennard [10].	18
2.2	Distribuição da frequência nas configurações da proposta [3].	23
2.3	Variações do U_{DS}	24
3.1	Parâmetros microarquiteturais da biblioteca de núcleos [8].	31
5.1	Configurações das plataformas utilizadas nos experimentos.	45
5.2	Estimativa de dissipação de potência e <i>dark silicon</i> (%) na área do <i>chip die</i> considerando os processos tecnológicos e frequência de <i>clock</i> nos processadores Pentium Smithfield 820 e AMD Santa Rosa 8224.	46
5.3	Estimativa de dissipação de potência e <i>dark silicon</i> (%) na área do <i>chip die</i> considerando os processos tecnológicos e frequência de <i>clock</i> escalada em Dennard nos processadores Pentium Smithfield 820 e AMD Santa Rosa 8224.	46
5.4	Estimativa de dissipação de potência e área de <i>dark silicon</i> (%) considerando os nós tecnológicos dos processadores 1-8.	47
5.5	Configurações do componente DS-DSE.	50

Capítulo 1

Introdução

A indústria de dispositivos microeletrônicos e, em particular, de processadores, tem se mostrado resiliente ao longo das últimas décadas. Diante de limitações físicas e restrições tecnológicas, os fabricantes têm conseguido entregar aos consumidores sistemas computacionais cada vez mais eficientes. Considerável parte da eficiência desses sistemas deve-se ao incremento da escala de integração dos transistores. Entretanto, mesmo com essa evolução tecnológica, ainda há crescente demanda pelo alto desempenho computacional na resolução de problemas.

Mesmo com o notório impacto na melhoria do desempenho computacional, o avanço da escala de integração dos transistores tem gerado uma série de questões cuja resolução depende dos resultados de pesquisas. Nesse contexto está situado o termo *Dark Silicon* [11] que indica uma fração de área que deve ser utilizada com limitação de frequência de *clock* a fim de não extrapolar as restrições de dissipação de calor do *chip*. O *dark silicon* tem suas origens no aumento exponencial de dissipação de potência estática devido ao incremento da corrente de fuga em transistores com escala de integração abaixo de 90nm [12] [13] [14]. Os impactos diretos do *dark silicon* estão relacionados à necessidade de gerenciar e controlar a frequência de *clock* e dissipação de potência dinâmica dos núcleos de processamento de forma a manter todo o *chip* operando sobre a restrição de potência imposta pelo projeto.

Como forma de minimizar os impactos do *dark silicon* em nível arquitetural, novos projetos de sistemas em um *chip* (*System on a Chip - SoC*) têm adotado dispositivos aceleradores em *hardware* para administrar essa restrição, com a intenção de gerar ganhos de desempenho e melhorar a eficiência energética. Observa-se que os novos sistemas de computação disponibilizados nos processadores atuais possuem múltiplos dispositivos de processamento heterogêneos [15], os quais possibilitam administrar a vazão de potência e manter o desempenho computacional de acordo com as demandas dos usuários. Por outro lado, essa gama de novos e heterogêneos recursos torna o projeto de um sistema computacional mais complexo e, como consequência, exigente de ferramentas de projeto que consigam lidar com características heterogêneas para os processadores e com diversas variáveis de restrição.

Diante do exposto, entende-se que há uma lacuna existente na área sobre a disponibilidade de ferramentas automatizadas para o projeto de sistemas computacionais considerando as restrições impostas pela presença de *dark silicon*. Esta proposta de trabalho de pesquisa em

nível de mestrado atua diretamente sobre estimativas e utilização de recursos de maneira a aproveitar a área de *dark silicon*. Para isso, vislumbra-se projetar e desenvolver ferramentas que considerem métricas para estimativa e avaliação do *dark silicon* provendo assim subsídios para a exploração do espaço de projeto de sistemas compostos por mais de um núcleo de processamento (Multicores) ou mesmo para sistemas multiprocessadores em um *chip* (*Multiprocessors Systems on a Chip - MPSoCs*). Especificamente, este trabalho estendeu a ferramenta de modelagem e simulação MultiExplorer [16] para que, em tempo de projeto de um sistema computacional, seja possível identificar e estimar *dark silicon* além de explorar o espaço de projeto na tentativa de propor novas soluções arquiteturais para lidar com as restrições de utilização da área total do *chip*.

Este trabalho foi desenvolvido considerando a teoria da escala de Dennard [13] para sistemas baseados em transistores MOSFETs [17] [13] e estendeu a infraestrutura de *software* já disponível na ferramenta MutiExplorer a fim de oferecer uma nova ferramenta de projeto ciente de *dark silicon*. Experimentos foram realizados sob essa infraestrutura de *software* baseando-se em plataformas computacionais existentes e comercialmente disponíveis por fabricantes de processadores. Os experimentos revelam que a evolução dos sistemas em direção a escalas tecnológicas menores apresentam aumento considerável de potência dissipada sobre o *chip* e que a proposta de estimativa deste projeto é válida e propõe uma abordagem menos conservadora (mais otimista) em comparação com estimativas da literatura da área.

O texto desse trabalho está organizado conforme segue: o Capítulo 2 apresenta os fundamentos teóricos para contextualização do problema de *dark silicon*; o Capítulo 3 apresenta os trabalhos relacionados a esta proposta; o Capítulo 4 detalha o trabalho desenvolvido neste projeto visando identificar e mensurar o *dark silicon*; os experimentos realizados, resultados e discussões são apresentados no Capítulo 5; finalmente, as conclusões finais, contribuições e extensões para desenvolvimento de trabalhos futuros são apresentadas no Capítulo 6.

Capítulo 2

Referencial Teórico

Neste capítulo serão abordados os referenciais teóricos que contribuem para melhor compreensão dos assuntos envolvidos neste trabalho. As seções a seguir apresentam as definições de transistores do tipo MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), o contexto da barreira de utilização de circuitos eletrônicos, o surgimento e impactos do *dark silicon* e, por fim, metodologias e métricas para estimativa e utilização da área do *dark silicon*.

2.1 Considerações Iniciais

A lei de Moore [18], que prevê a evolução tecnológica na escala de duplicação do número de transistores a cada 18 meses, juntamente com a escala de Dennard [13,17], que demonstra que a redução dos transistores juntamente com a escala de tensão não afeta as características elétricas operacionais do *chip*, têm motivado a indústria de *chips* a desenvolverem soluções com aumentos exponenciais de desempenho [11]. As mudanças mais recentes para o projeto de processadores *multicores* pretendem continuar aumentando o desempenho ao mesmo tempo que se diminui o tamanho dos transistores [11].

Apesar da lei de Moore indicar que o número de transistores aumenta exponencialmente a cada geração, a escala atual de integração, baseada em transistores fabricados com tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) já não garante as propriedades dos transistores como previa, em 1974, a escala de Dennard [17]. Essa limitação da escala CMOS transformou a indústria de processadores *single thread* em indústria de processadores *multicores* visando o ganho de desempenho maximizando a utilização do paralelismo das aplicações.

Os transistores construídos nos processos de fabricação mais atuais (abaixo de 90nm) limitam a redução da tensão limiar, V_{th} , que por sua vez, limita a tensão de alimentação (V_{DD}) e, por fim, impactando na dissipação de calor do *chip*. A construção de *chips* explorando a utilização de diferentes materiais vem sendo abordado para sobrepor essa limitação e manter os parâmetros de evolução conforme a escala de Dennard. Várias estruturas alternativas são promissoras para o futuro, mas sua construção parece ser um desafio e elas têm apenas oferecido um ganho incremental no desempenho [13].

2.2 Transistores MOSFET

O silício, um elemento químico do Grupo IV da tabela periódica, funciona como material básico para circuitos integrados. Como ele forma ligações covalentes com 4 átomos adjacentes (Figura 2.1(a)) e todos os seus elétrons de valência estão envolvidos em ligações químicas, o silício puro é considerado um mau condutor. A sua condutividade pode ser aumentada através da introdução de pequenas quantidade de impurezas (Dopagem) em sua estrutura de ligação.

Dopagens formadas com elementos do Grupo V da tabela periódica, como o Arsênio (As), quando substitui um átomo de silício na estrutura continua com as ligações aos quatro vizinhos e deixa o quinto elétron de valência vagamente ligado ao átomo de arsênio. Então a vibração térmica em temperatura ambiente é suficiente para deixar o elétron livre para se mover, deixando-o com carga positiva. O elétron livre aumenta a condutividade do sistema. Esse novo sistema é denominado semiconductor do **tipo n** (Figura 2.1(b)), já que os elétrons carregados negativamente são os condutores livres [1].

Dopagens utilizando elementos químicos do Grupo III, como o Boro (B), podem pedir um elétron do átomo de silício vizinho, que se torna pendente de um elétron que pode pedir outro elétron e assim por diante. Esses buracos podem propagar pela estrutura funcionam como condutor positivo. Esse novo sistema é denominado semiconductor do **tipo p** (Figura 2.1(c)).

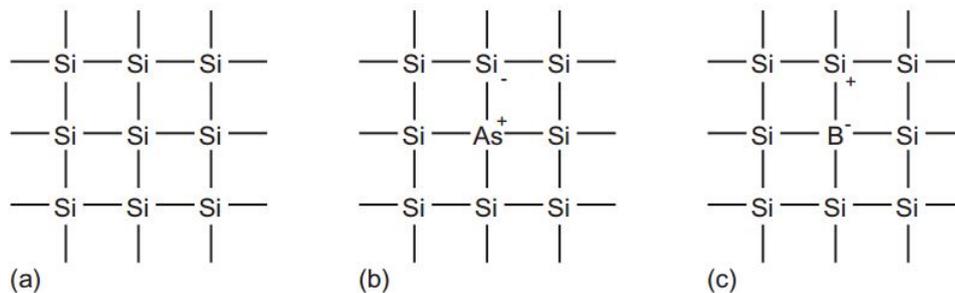


Figura 2.1: Estrutura do Silício e átomos dopantes [1].

Uma estrutura MOS (*Metal-Oxide-Semiconductor*) é criada a partir da sobreposição de vários materiais condutores e isolantes formando uma espécie de sanduíche. Essa estrutura é produzida utilizando uma série de passos de processamento químico que envolve a oxidação de silício, seleção de dopantes, e corrosão de fios de metal e contatos. A tecnologia CMOS fornece 2 tipos de transistores, do tipo p (pMOS) e do tipo n (nMOS). A operação dos transistores é controlada por campo elétrico por isso são chamados de MOSFET (*Metal Oxide Semiconductor Field Effect Transistors*), ou semicondutores de óxido metálico de efeito de campo. Cada transistor é constituído por uma pilha com a porta (*gate*) condutor, uma camada isolante de dióxido de silício, e do corpo de silício, também chamado de substrato, corpo, ou massa. A Figura 2.2 apresenta a estrutura dos transistores.

O *gate* permite o fluxo de corrente entre o a fonte e o dreno. Em um transistor nMOS, o corpo é ligado ao terra para que as junções p-n da fonte e do dreno ao corpo sejam polarizados inversamente. Se o *gate* também estiver aterrado, não há corrente, assim o transistor está desligado. Se a tensão do *gate* é elevada, ele cria um campo elétrico que começa a atrair elétrons livres para a parte inferior da estrutura $Si - SiO_2$. Se a tensão é

elevada o suficiente, os elétrons superam os furos e a região chamada canal é invertida para atuar como semicondutor do tipo n. Portanto, os elétrons podem ser transportados da fonte para o dreno e a corrente flui. Nessa situação o transistor está ligado [1].

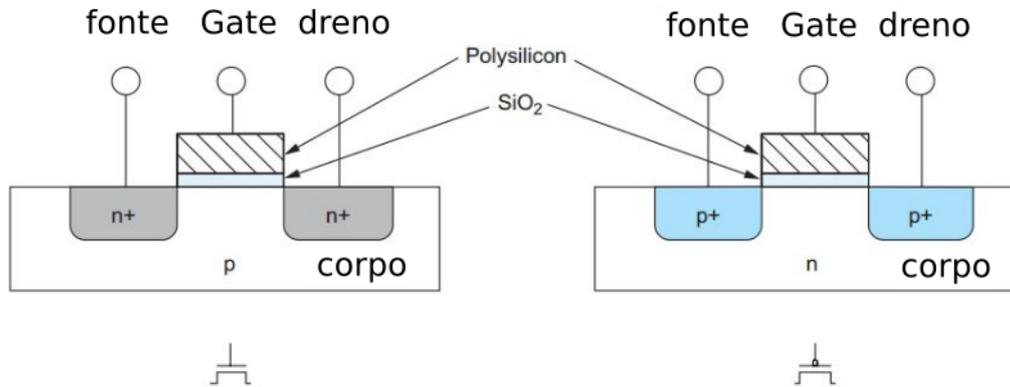


Figura 2.2: Transistores do tipo **p** e do tipo **n** [1].

2.2.1 Teoria dos Transistores

Os primeiros transistores utilizavam *gates* de metal. Logo a utilização de *gates* de silício policristalino foi empregada, contudo os *gates* de metal estão ressurgindo devido as restrições de material (a partir de tecnologias de 65m).

Um transistor nMOS tem três modos de operação. Se a tensão do *gate* para a fonte (V_{gs}) for menor que a tensão limiar do transistor (V_{th} ¹) o transistor está operando em região de corte (desligado). Se $V_{gs} > V_{th}$, o transistor está ligado. Se a tensão do dreno para fonte (V_{ds}) é pequena, o transistor funciona como uma resistência linear com o fluxo proporcional à V_{ds} (região linear). Se $V_{gs} > V_{th}$ e V_{ds} é grande, o transistor funciona como uma fonte e o fluxo torna-se independente de V_{ds} (região de saturação) [1].

Em um transistor pMOS o funcionamento é o oposto. O corpo do tipo **n** está atrelado a um alto potencial de modo que as junções com as fontes do tipo **p** e dreno estejam normalmente, polarizadas inversamente. Quando o *gate* está também em um alto potencial, nenhuma corrente flui entre dreno e fonte. Quando a tensão do *gate* é reduzida por um limiar de V_{th} , os elétrons são atraídos para formar um canal do tipo **p** imediatamente abaixo do *gate*, permitindo que a corrente possa fluir entre o dreno e a fonte [1].

2.2.2 Efeitos da Corrente e Tensão

A tensão limiar não é uma constante, ela aumenta com a tensão da fonte, diminui com a tensão do corpo, diminui com a tensão do dreno e aumenta dependendo do tamanho do canal, cada situação tem um efeito. Por exemplo, quando uma tensão entre a fonte e o corpo (V_{sb}) é aplicada, a carga necessária para inverter o canal é maior, por isso a tensão limiar

¹ V_{th} corresponde à diferença de potencial mínima (tensão mínima) entre o *gate* e a fonte que possibilita a criação de um canal de condução entre fonte e dreno.

para operação do transistor deve ser maior. Resumidamente a tensão de limiar (*threshold*) pode ser modelada segundo a equação 2.1.

$$V_{th} = V_{th0} + \gamma(\sqrt{\phi_s + V_{sb}} - \sqrt{\phi_s}) \quad (2.1)$$

onde V_{th0} é a tensão de limiar quando a fonte está com o mesmo potencial do corpo, ϕ_s é a superfície potencial no limiar, e γ é o coeficiente de efeito do corpo, geralmente tem média de 0,4 a $1V^{1/2}$. Esse coeficiente depende do nível de dopagem do canal. O efeito do corpo pode comprometer a passagem de valores fracos pelo transistor [1].

Além do efeito que as outras partes do transistor pode ocasionar nos valores da tensão limiar, um outro efeito que deve ser contornado na operação dos transistores é o vazamento ou fuga de corrente (*leakage*), que ocorre mesmo quando o transistor está desligado. Mecanismos que tratam o vazamento podem ser condução sublimiars entre a fonte e o dreno, vazamento de corrente do *gate* para o dreno e vazamento na junção da fonte para o corpo e do dreno para o corpo. A condução sublimiar ocorre pela emissão de calor dos transportadores ao longo da barreira de potência definida pelo limites. O vazamento do *gate* é um efeito da mecânica quântica causada pelo tunelamento através da porta dielétrica extremamente fina. O vazamento de junção é causada pela corrente através da junção p-n entre as difusões da fonte/dreno e o corpo [1].

Nos processos tecnológicos acima de 180nm, a fuga de corrente possuía valores insignificantes, exceto em aplicações de potência muito baixa. Em processos entre 90 e 65nm, a tensão limiar reduziu de forma tão significativa que os vazamentos sublimiars chegaram a níveis de 1s a 10s de nA por transistor, o que se torna algo muito significativo para a determinação da potência do transistor quando trata-se de sistemas com milhões ou bilhões de transistores [1].

2.2.3 Potência Dinâmica e Estática

A potência instantânea consumida ou fornecida por elementos de um circuito é o produto da corrente pela tensão desse elemento. A dissipação de potência em circuitos CMOS pode acontecer de duas formas:

- Dissipação dinâmica: devido à carga e descarga, como o chaveamento do *gate*; e curto-circuitos quando pilhas de pMOS e nMOS estão parcialmente ligadas.
- Dissipação estática: devido à corrente de fuga de transistores desligados; corrente de fuga do *gate*; corrente de fuga das junções fonte/dreno; e disputa de corrente entre os circuitos.

No cálculo da potência dinâmica, a potência consumida durante a operação dos circuitos, é utilizado um fator de atividade (α) que é a probabilidade de ocorrência de transição de 0 a 1 no nó do circuito, que é quando o circuito consome energia. Um ciclo de *clock* possui $\alpha = 1$ porque ocorre a transição completa de subida e descida a cada ciclo. A maioria dos dados tem um fator de atividade de 0,5 no máximo porque ele passa apenas uma vez cada ciclo. Dados aleatórios têm atividade de 0,25 porque ocorre ciclo sim, ciclo não. A equação 2.2

representa o cálculo da potência dinâmica em sistemas eletrônicos baseados em transistores com tecnologia CMOS.

$$P_{dinamica} = \alpha CV_{DD}^2 f \quad (2.2)$$

Em que C significa a capacitância do circuito, f é a frequência de operação e V_{DD}^2 é a tensão de alimentação. Essa troca de capacitância pode ser minimizada através de um bom projeto de colocação de fios no circuito.

Já potência estática, a potência consumida quando o transistor não está em operação, quando tensões no transistor são menores que a tensão de limiar, é calculada a partir da equação 2.3.

$$P_{estatica} = (I_{sub} + I_{gate} + I_{jun} + I_{contencao})V_{DD} \quad (2.3)$$

A corrente de fuga sublimiar (I_{sub}) ocorre quando o transistor está desligado, a corrente de fuga do *gate* (I_{gate}) ocorre quando uma tensão é aplicada ao *gate*, a corrente de fuga de junção (I_{jun}) ocorre quando uma difusão do dreno ou fonte está com diferença de potencial em relação ao corpo a e corrente de fuga de contenção ($I_{contencao}$) acontece em determinados tipos de circuito alternativos ao CMOS.

Por fim, a potência total de operação é dada pela soma de potência dinâmica e estática conforme equação 2.4.

$$P_{total} = P_{dinamica} + P_{estatica} \quad (2.4)$$

2.3 Barreira de Utilização e o *Dark Silicon*

A partir da integração dos transistores abaixo de 90nm, observou-se que em cada geração de novos transistores há um déficit de utilização de área acima do que previa a escala de Dennard. Essa limitação é chamada de *utilization wall* (barreira de utilização) e restringe a execução de todo o *chip* em frequência máxima. A barreira de utilização ocorre devido ao aumento do vazamento de corrente (*leakage*) entre os componentes do circuito. Esse fator tem impedido a diminuição na tensão limiar (V_{th}) de operação dos transistores, aumentando assim exponencialmente a utilização de potência e a dissipação de calor [5].

A Tabela 2.1 mostra como essa barreira de utilização é obtida. A variável S consiste no fator de redução de escala dos transistores entre gerações. Por exemplo, a mudança de um processo de fabricação de 32nm para um de 22nm tem fator de escala $S = 1,4$. Tanto na escala de Dennard quanto na Pós-Dennard (transistores fabricados com processos a partir de 90nm), o número de transistores (Q) no *chip* escala em S^2 , enquanto a frequência de operação (F) escala em S . Com mais transistores operando a maiores frequências, o aumento geral no desempenho de computação será de S^3 [17]. Considerando $S = 1,4$, o aumento geral de desempenho ($Q \times F$) será de $2,8 \times$.

Para se manter um orçamento de energia estável, esses ganhos devem ser balanceados através da redução da energia necessária para o chaveamento dos transistores. Em ambos os casos, reduzir o tamanho dos componentes reduz a capacitância por um fator de S (Capacitância= $1/S$). Na escala de Dennard é possível reduzir o limiar de tensão mínima de operação em S^2 , igualando o aumento da eficiência energética ao aumento do desempenho (escala de potência dinâmica= 1). Na escala Pós-Dennard não se pode reduzir o limiar de tensão sem aumentar exponencialmente o vazamento de corrente. Nesse caso, mantém-se a tensão de operação constante. O resultado disso é um déficit (aumento de potência) de S^2 a cada geração [10].

De acordo com previsões do ITRS (*International Technology Roadmap for Semiconductors* - atualmente IRDS - *International Roadmap for Devices and Systems*) [19], capacidade computacional de um *chip* de tamanho fixo continua aumentando numa escala de $2,8\times$ a cada processo de fabricação [11]. A eficiência energética dos transistores melhora em $1,4\times$. Como os projetistas devem manter um orçamento fixo em variáveis físicas como área e potência dissipada, a melhora na capacidade computacional só pode ser explorada se a eficiência energética for equivalente.

Tabela 2.1: Propriedades dos transistores de acordo com a escala de Dennard e Pós-Dennard [10].

Propriedade do Transistor	Escala de Dennard	Escala Pós-Dennard
ΔV_{th} (tensão limiar)	$1/S$	1
ΔV_{DD} (tensão de operação = $V_{th} * 3$)	$1/S$	1
Δ Quantidade (Q)	S^2	S^2
Δ Frequência (F)	S	S
Δ Capacitância (C)	$1/S$	$1/S$
Δ Potência = $\Delta(QFCV_{DD}^2)$	1	S^2
Δ Utilização = $1/power$	1	$1/S^2$

A Tabela 2.1 exhibe as métricas físicas do projeto de *chips* considerando a escala de Dennard, que é mantida para projetos de processadores com transistores até 90nm, e a escala Pós-Dennard. Pode-se observar que a quebra da escala de tensão fez crescer exponencialmente a potência dinâmica e diminuir a área de utilização do *chip*. Note que, pela Tabela 2.1 e considerando uma escala $S = 1,4$, a utilização do *chip* em frequência máxima de operação, pela escala Pós-Dennard, está restrita à 0,55 (55%).

Devido à limitação da escala de Dennard para processos de fabricação a partir de 90nm, a quantidade de silício que pode ser utilizado na frequência máxima está reduzindo exponencialmente a cada nova geração de processadores. A porção de área do *chip* que não pode executar em frequência máxima de operação para que a potência dissipada não exceda a restrição de potência máxima do projeto recebe o nome de *dark silicon* [12]. A demanda pela exploração de desempenho mantendo área e dissipação de potência dentro dos orçamentos de projeto tem forçado uma mudança metodológica no projeto de circuitos integrados. Previsões mais conservadoras a partir da escala Pós-Dennard, dos relatórios do ITRS e de trabalhos anteriores de Borkar [20] indicam que a área de *dark silicon* em *chips* alcançarão até 85% do *chip* em processos tecnológicos de 8nm [2, 11, 20]. Previsões mais pessimistas apontam que em breve pode-se ter projetos com mais de 90% da área do *chip* em *dark silicon* [10].

A Figura 2.3 apresenta essas estimativas considerando o processo de referência, sem *dark silicon*, construído na tecnologia de 45nm.

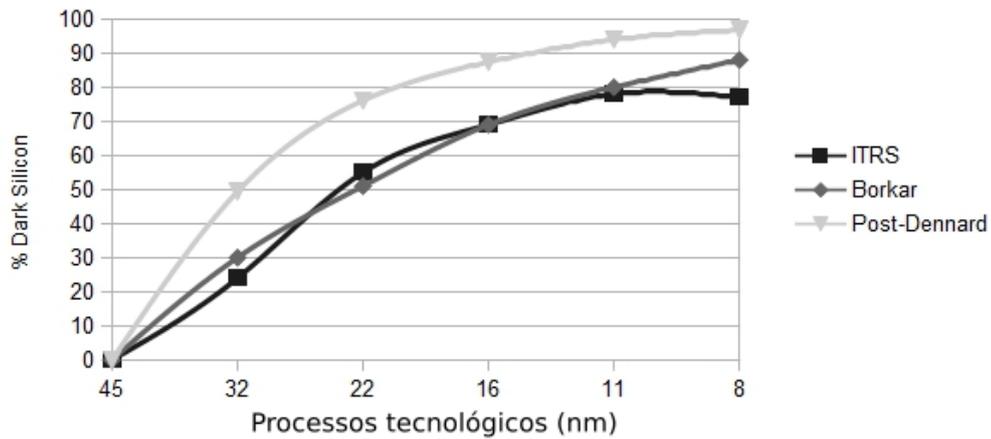


Figura 2.3: Estimativas de *dark silicon*.

Nesse contexto, um dos desafios para a pesquisa na área de projeto de *chips* de processadores é utilizar a área *dark silicon* de maneira a explorar ao máximo o desempenho computacional. A Figura 2.4 mostra a evolução (redução) da área que pode ser utilizada em frequência total em relação à escala tecnológica, a partir de processos com 90nm.

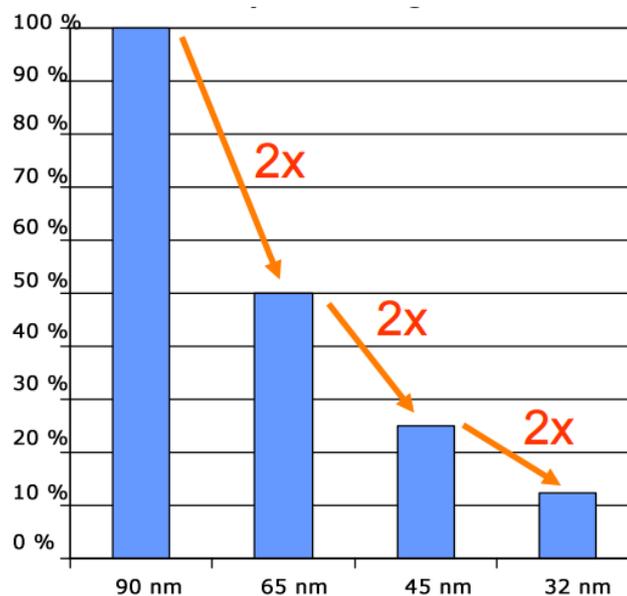


Figura 2.4: Diminuição da área de utilização do *chip* em frequência máxima [2].

Considerar a área de *dark silicon* e encontrar contornos para ter seus efeitos mitigados pode ser também considerada como um recurso exponencialmente mais barato em relação à potência ou o consumo de energia [11]. Essa mudança impulsiona técnicas que se propõe

a utilizar área para manter eficiência energética. Dessa forma, deve-se olhar para desenvolvimento de arquiteturas especializadas que já no projeto de *hardware* consegue fazer com que trechos de códigos complexos, constantemente utilizados, sejam executados de com um consumo de energia reduzido.

2.4 *Dark Silicon* e a Escala *Multicore*

O contexto atual de evolução dos processadores faz pensar se a escala de evolução dos *chips* com vários núcleos de processamento *multicores* pode estar próxima de não corresponder às expectativas de desempenho e consumo de energia dos usuários. No trabalho de Esmailzadeh *et al.* [11] foram modelados os limites da escala *multicore* por combinação de escala de dispositivos *single core* e *multicore* para medir o ganho de desempenho *speedup* potencial para um conjunto de cargas de trabalho para as próximas 5 gerações da tecnologia.

Para dimensionar os dispositivos, utilizou-se das projeções dos relatórios do ITRS tomando como base o ano de 2010, e um conjunto de parâmetros de escala observados no trabalho de Borkar [2, 20]. Para modelar a escala *single core* foram combinadas as medidas de mais de 150 processadores para derivar as fronteiras de Pareto [21]² para relacionar área/desempenho e potência/desempenho.

O artigo considera a escala dos dispositivos, as microarquiteturas, a organização do *chip*, as características dos *benchmarks*, além da limitação de potência a cada geração com o intuito de projetar um limite superior alcançável através da escala *multicore*. O trabalho também mede os efeitos de uma escala não-ideal incluindo a porcentagem de *dark silicon* nos próximos *chips multicore*. Adicionalmente, as projeções incluem melhor organização dos núcleos, como topologia em nível de *chip* e números de núcleos. Na Figura 2.5 é possível observar a metodologia utilizada no trabalho.

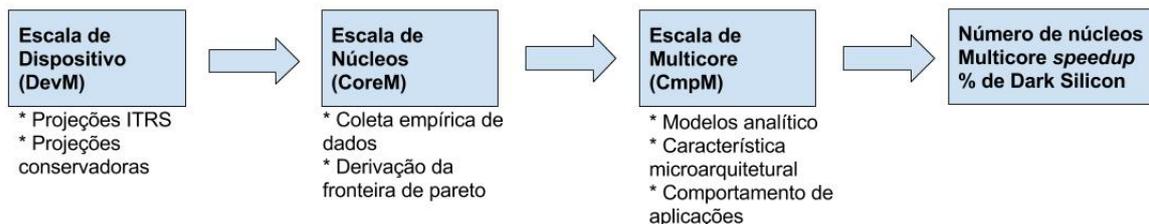


Figura 2.5: Visão geral dos modelos utilizados e a metodologia.

Já na Figura 2.6 é mostrado um comparativo da evolução do percentual de *dark silicon* nas próximas gerações de processadores considerando a escala ITRS e a escala conservadora de Borkar conforme trabalho de Esmailzadeh [11].

²O conjunto das soluções não-dominadas em X é chamado de conjunto Pareto-ótimo, a imagem de um determinado conjunto Pareto-ótimo chama-se fronteira de Pareto. Uma solução Pareto-ótima é aquela que não se pode melhorar em relação a qualquer objetivo sem que exista piora para pelo menos um outro objetivo

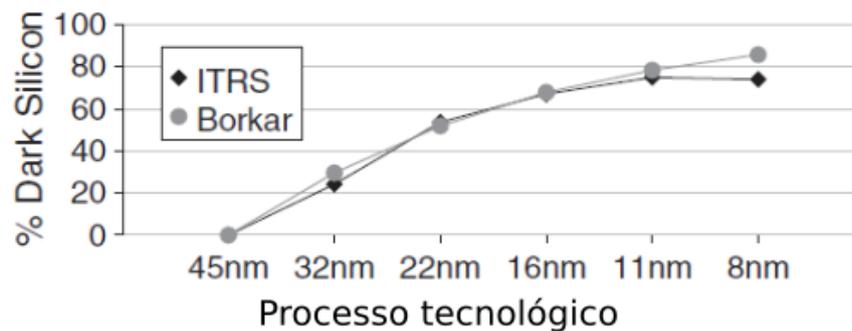


Figura 2.6: Estimativas para o aumento de *dark silicon* relativo à tecnologia de 45nm [3].

Como resultados desse estudo foram obtidas as seguintes conclusões:

1. Nas próximas 5 gerações só será possível alcançar um *speedup* de $7,9\times$ considerando os dados da escala ITRS.
2. Enquanto as dimensões dos transistores continuam escalando, limitações de potência reduzem a parte utilizável do *chip*. Em tecnologias com 22nm, 21% do *chip* será *dark silicon* e na tecnologia de 8nm mais de 50% do *chip* não poderá ser utilizado em frequência máxima considerando a escala ITRS.
3. Nem processadores com arquitetura CPU, tampouco GPU, são capazes de atingir o nível de *speedup* esperado. Inovações avançadas em nível da microarquitetura são necessárias para alterar a fronteira de pareto potência/desempenho e entregar *speedups* proporcionais à lei de Moore.

2.5 Técnicas e Metodologias para Utilização do *Dark Silicon*

Nessa seção serão abordados alguns trabalhos que sugerem alternativas tecnológicas para que o problema do *dark silicon* não afete ainda mais a escala dos projetos de processadores. Taylor [10] discute quatro abordagens possíveis para que a escala de integração de transistores CMOS continue a evoluir mesmo em tempos de *dark silicon*.

2.5.1 Reduzir o Tamanho dos *Chips*

Reduzir o tamanho dos *chips* pode ter o resultado mais pessimista, já que ao encolher os *chips* pode-se estar ignorando a possibilidade de utilizar o *dark silicon* para construir produtos melhores. *Chips* menores podem até possuir preços menores, mas *chips* exponencialmente menores podem não acompanhar essa diminuição. A competitividade é um outro fator que pode ser afetado. Empresas que optarem por construir *chips* menores podem não competir no mercado de alto desempenho.

2.5.2 Utilizar Área do *Dark Silicon*

Refere-se à utilização da porção do *chip* dedicada ao *dark silicon* para processamento de propósito geral, operando em frequências menores ou utilizado de forma alternada. Para aproveitar a área do *dark silicon* pode-se aumentar a quantidade de elementos lógicos associados à *cache*, empregar processadores que adotam limite de tensão reduzida (*Near-threshold voltage - NTV*), usar arquiteturas baseadas em *arrays* reconfiguráveis para reduzir o consumo de energia ou utilizar de *sprints* computacionais, que mesmo excedendo o orçamento térmico por um determinado tempo, podem propiciar um impulso computacional substancial.

2.5.3 Especializar Recursos de Processamento

Pode-se também utilizar a área do *dark silicon* para um processamento especializado utilizando co-processadores que podem ser mais rápidos para um certo tipo de processamento ou ainda obter maior eficiência energética que um processador de propósito geral. O processamento do programa alterna entre o processador de propósito geral e os co-processadores, executando cada trecho de código onde for mais eficiente.

Há algum tempo, a ideia da especialização dos processadores vem se concretizando. Já existem diversas máquinas que contam com aceleradores relativos a diversos tipos de processamento como gráficos e codificação de mídia. Há trabalhos que prevêem sistemas compostos com quantidades significativas de co-processadores em comparação aos processadores de propósito geral. Esses sistemas são chamados CoDAs (*Coprocessor Dominated Architectures*) [22].

O problema da especialização é que a falta de padronização na comunicação *software* e *hardware* pode ocasionar em incompatibilidades entre arquiteturas similares. Pode ocorrer sobre-especialização, quando um processador, de tão especializado, não resolve problemas similares. A obsolescência de *hardware* especializado também pode gerar impactos quando a parte de *software* sofrer atualizações. Co-processadores especializados têm sido objeto de estudo de muitas pesquisas visando principalmente a melhoria da eficiência energética. Um exemplo concreto dessas pesquisas é a concepção do processador GreenDroid [12].

2.5.4 Deus Ex Machina

A expressão Deus Ex machina, em latim, refere-se ao recurso literário da salvação do dia por um fator completamente inesperado que surge do nada. Uma solução Ex Machina para o problema do *dark silicon* seria alcançada através de uma revolução como a construção de transistores de algum outro tipo de dispositivos diferentes dos MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*), ou buscando o mesmo perfil de desempenho do cérebro humano para os processadores.

2.6 Métricas para Estimar *Dark Silicon*

Os atuais projetos de microprocessadores devem se adaptar, a fim de prever e otimizar a utilização do *dark silicon* para as novas gerações de tecnologia. Utilizar as métricas tradicionais de projeto pode levar a soluções equivocadas. Allred et al [4] fornecem em seus trabalhos métricas para o *dark silicon* que alcançam entre 7% e 23% de eficiência energética entre gerações de processos de fabricação. A proposta de Allred é uma métrica para a utilização eficiente do *dark silicon* (*Dark Silicon Utilization-Efficiency* - DSU). Essa métrica é utilizada em uma metodologia de projeto ciente do *dark silicon* (DSA - *Dark Silicon-Aware*)

Em seu estudo de caso foi comparado um projeto *multicore* tradicional com um projeto considerando o *dark silicon* e a utilização eficiente do consumo de potência. No projeto tradicional, identificou-se que dependendo da proporção das frequências distribuídas nas Unidades de Lógica e Aritmética (ULA), a eficiência energética varia significativamente.

Foi utilizado um sistema com 16 ULAs do *benchmark* ISCA. Cada ULA pertence a um núcleo independente. O nível de *dark silicon* utilizado no trabalho, para representar o percentual mínimo de ULAs que estão inativas, em um determinado tempo, teve variação de 0% a 62,5% para que fosse possível simular até mesmo as próximas gerações de MPSoCs. As configurações exibidas na Tabela 2.2 foram simuladas utilizando simulador da ferramenta de projeto da Synopsys® e uma biblioteca para tecnologia de 45nm para medir potência e desempenho. Cada configuração foi submetida a 1000 cargas de trabalho, cada uma composta por um conjunto de processo de *software* com frequência escolhida a partir de uma distribuição de Gauss, com uma média de 75% da frequência nominal. A distribuição capta a diversidades das aplicações em cargas de trabalho típicas.

A Figura 2.7 apresenta os resultados da variação da eficiência energética quanto às configurações utilizadas na Tabela 2.2.

Tabela 2.2: Distribuição da frequência nas configurações da proposta [3].

	Convencional	Est. A	Est. B	Est C	Est. D	Est. E
Núcleos em 100% freq	16	8	4	6	3	5
Núcleos em 75% freq	0	0	4	6	5	5
Núcleos em 50% freq	0	8	4	2	5	3
Núcleos em 25% freq	0	0	4	2	3	3

A métrica *DSU* mede o grau de eficácia de um projeto na exploração do seu próprio *dark Silicon* (Equação 2.5).

$$DSU = U_{DS} \times E_{cores} \quad (2.5)$$

Onde U_{DS} (*dark silicon utilization*) é a métrica de utilização do *dark silicon* do nível do *core* e é representada pela Equação 2.6:

$$U_{DS} = 1 - \frac{\sum_i^{|O|} (utilization(O_i) - (1 - \gamma))}{\gamma \times (n \times (1 - \gamma))} \quad (2.6)$$

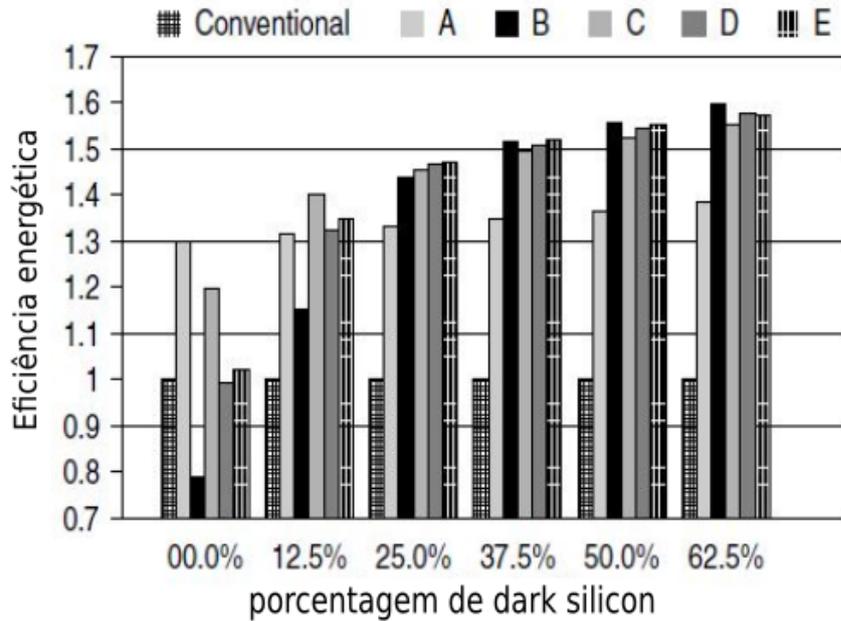


Figura 2.7: Variação da eficiência energética em um sistema convencional *multicore* [4].

Com o *dark silicon* em nível de γ (que pode variar de 0 a 1) e um sistema com n *cores*, haverá $\gamma \times n$ *cores* inativos em qualquer tempo. Como em níveis mais baixos de *cache* (L2 ou L3) existem substancialmente menos densidade de potência, Allred *et al.* [3] consideram que o *dark silicon* é aplicado aos núcleos gulosos (mais utilizados). A média de utilização do *core* se igualará ao nível do *chip* ativo ($1 - \gamma$).

No cálculo de utilização do *dark silicon*, O é o conjunto de *cores* super utilizados - aqueles com uma média de utilização maior que $(1 - \gamma)$. A utilização do *core* é a porção do tempo que o *core* estiver ativo. O valor de U_{DS} pode variar de 0 a 1. A Tabela 2.3 mostra as variações do U_{DS} e como os *cores* se comportam em cada um.

Tabela 2.3: Variações do U_{DS} .

Valor do U_{DS}	Utilização dos <i>cores</i>	<i>Cores</i> inativos	Otimização
0	A carga de trabalho prefere um mesmo conjunto de <i>cores</i>	subutilizados	Aumentar o nível de especialização dos <i>cores</i> super utilizados
1	Balanceada.	Não Há	Caso Ideal

Uma forma de otimizar os *cores* subutilizados pode ser por meio do aumento do RoO (*range of optimality*), adequando-os para que sejam executados para um número maior de *threads* [3].

Já E_{cores} (*core-level Efficiency*) refere-se a métrica do nível de eficiência do core (Equação 2.7). Essa métrica é uma medida de eficiência do sistema quando comparada com a eficiência de um sistema ideal, que sempre permite cada *thread* executar em um *core* especificamente projetado para aquela *thread*.

$$E_{cores} = \frac{[Energy\ Efficiency]_{actual}}{[Energy\ Efficiency]_{ideal}} \quad (2.7)$$

2.7 Considerações Finais

Nesse capítulo foram introduzidos os principais conceitos para compreensão e norteammento do desenvolvimento da proposta de mestrado. Apresentou-se o problema da barreira de utilização de *chips* com transistores fabricados a partir de 90nm e o surgimento do *dark silicon*. Apresentou-se também as técnicas e metodologias que podem ser utilizadas para a estimativa do *dark silicon*. O próximo capítulo apresenta alguns trabalhos relacionados a esta proposta variando desde projeto de processadores até ferramentas de projeto de MPSoCs.

Capítulo 3

Trabalhos Relacionados

Este capítulo apresenta trabalhos que propõem diferentes abordagens para estimativa e utilização da área de *dark silicon* em projetos de sistemas com múltiplos núcleos de processamento. O capítulo está organizado de forma a apresentar propostas de processadores e arquiteturas que utilizam a área estimada de *dark silicon* para implementar processadores específicos e, em outros casos, adotam técnicas para gerenciamento térmico e frequência de operação dos recursos de processamento para reduzir o impacto do *dark silicon*.

3.1 Considerações Iniciais

As demandas de processamento diante do contexto de *dark silicon* têm forçado o avanço científico da área em várias linhas de pesquisas. Materiais de baixa potência para a construção de processadores com o intuito de utilizar a área de *dark silicon* têm sido considerados como uma nova opção. Porém, muitos dispositivos fabricados a partir de novos materiais têm apresentado longos retardos. Isso tem limitado o uso integral dessas tecnologias para a substituição total dos tradicionais dispositivos CMOS [10].

Para aliviar a restrição de energia sem comprometer significativamente o desempenho, tem-se utilizado a integração de materiais diferentes para a produção de transistores e, conseqüentemente, núcleos de processamento. Isso é chamado de heterogeneidade de dispositivos. A substituição do dióxido de silício por dispositivos *high-K* dielétricos tem conseguido diminuir significativamente a corrente de fuga atual e tem sido utilizada pelos principais fabricantes. Materiais NEMS (*Nano-electro-mechanical switch*) são futuros candidatos no desenvolvimento de processadores, pois não são limitados pelos inconvenientes dos atuais MOSFETs. A combinação de materiais CMOS e NEMS tem sido um tema proposto pelos pesquisadores da área e resultados demonstram que a construção de multiprocessadores com *chips* heterogêneos com diferentes materiais pode oferecer maior equilíbrio entre desempenho, consumo energético e custo, tornando-se assim uma melhor opção ao sistema convencional de desenvolvimento [15].

Adicionalmente, o uso de núcleos com diferentes arquiteturas mostra-se eficaz para a melhoria da eficiência energética. Assim, o uso da heterogeneidade de dispositivo e arquitetural torna-se uma estratégia promissora para contornar os problemas causados pela

necessidade de utilização do *dark silicon*. Tal estratégia é denominada heterogeneidade dupla (*two-fold heterogeneity*) [6]. Importante enfatizar que as ideias de pesquisas baseadas nessas tecnologias são recentes de forma que a maior parte das pesquisas da área enfatizam o projeto de núcleos de processamento visando utilizar eficientemente a área de *dark silicon* [15].

3.2 Processadores e Arquiteturas *Dark Silicon Aware*

Nesta seção serão abordados alguns exemplos de processadores que visam, principalmente, a melhoria da eficiência energética por meio da especialização de núcleos, a fim de contornar os problemas impostos pela barreira de utilização e o *dark silicon*.

3.2.1 *Conservation Cores - C-cores*

Processadores especializados podem aumentar o paralelismo, reduzindo os requisitos de energia por operações e permitindo que mais operações sejam executadas no mesmo orçamento de energia. O trabalho de Venkatesh *et al.* [5] apresenta um tipo de núcleo especializado denominado *conservation core*. Os *conservation cores* (C-cores) são processadores especializados que se concentram na redução de potência ao invés de aumentar o desempenho. Este foco em energia faz os C-cores funcionarem muito bem para aplicações candidatas à aceleração pelo hardware (códigos irregulares, por exemplo).

Em [5] é descrita uma arquitetura de um sistema que incorpora C-cores além das ferramentas para criá-los automaticamente. A Figura 3.1 mostra a síntese automática e a compilação de *c-core*.

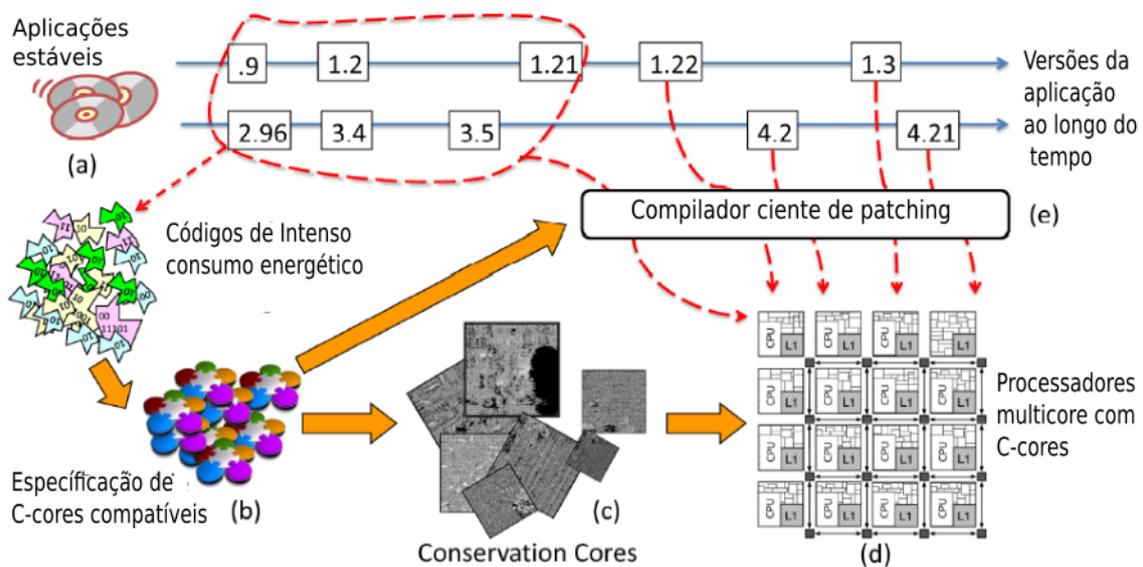


Figura 3.1: Síntese automática e compilação dos *c-cores* [5].

Na Figura 3.1 um conjunto de ferramentas extrai os *kernels*-chave de uma base de códigos para se gerar C-cores com tecnologia de 45nm. O compilador leva em conta a descrição dos C-cores disponíveis e emite código que pode utilizar esses C-cores. Os C-cores também suportam *patching*, uma forma de configuração que os permitem executar versões antigas e futuras do código do qual foi gerado. Para avaliar o C-core foram gerados 18 códigos para várias versões de 5 aplicações. De acordo com os autores, os C-cores minimizaram o consumo de potência em 47%.

3.2.2 *Greendroid*

Greendroid [12] é uma abordagem que considera a área de *dark silicon* para executar aplicações em dispositivos com o sistema operacional Android. O objetivo enfatizado no projeto Greendroid é preencher a área de *dark silicon* com núcleos especializados, gerados automaticamente a partir da base de código que o processador pretende executar. Esse núcleos possuem uma reconfiguração que consegue deixá-los úteis mesmo que o código seja evoluído.

A arquitetura do Greendroid utiliza os núcleos especializados C-cores para executar porções de código frequentemente utilizadas em aplicações. Em testes, os C-cores foram utilizados em 95% do tempo de execução do dispositivo. O sistema compreende um conjunto de pequenos núcleos (*tiles*). Cada um desses núcleos utiliza um formato padrão de processador energeticamente eficiente com 32 KBytes de cache (L1) e uma interconexão entre núcleos com topologia ponto-a-ponto.

3.2.3 *Quasi-specific Cores (QsCores)*

QsCores (*Quasi-specific Cores* [6]) são pequenos núcleos que possuem capacidade de executar padrões de código comumente utilizados em alguns aplicativos visando a eficiência energética. Alguns resultados alcançados com a utilização desses núcleos mostram 18,4× como fator de eficiência de consumo de potência e diminuição da lógica necessária para suportar a cargas de trabalho em até 66%.

Em uma carga de trabalho bem diversificada de uso geral, utilizada como estudo de caso, possuindo 12 aplicações para diversos domínios (SPECINT, SAT SOLVER, VISION E EEMBC), os QsCores continuaram melhorando a eficiência energética (18,4× melhor que processadores de uso geral) e reduzindo também o número de núcleos especializados em 50% assim como 25% da área necessária utilizada em comparação com a lógica de processadores totalmente especializados. A Figura 3.2 apresenta o fluxo de execução de um sistema dotado de QsCores e o fluxo de projeto.

A Figura 3.2(a) apresenta um sistema habilitado para utilização de QsCores. O processo começa com um conjunto de aplicações que o projetista acredita utilizar uma fração significativa do processador durante sua execução. As aplicações são mapeadas para extrair os segmentos de código mais frequentemente usados (*hot spots*). O fluxo de projeto de um QsCore utiliza desses segmentos de código para especializar os *cores*. O último passo é integrar o QsCore a um processador de uso geral para construir um sistema heterogêneo. Um

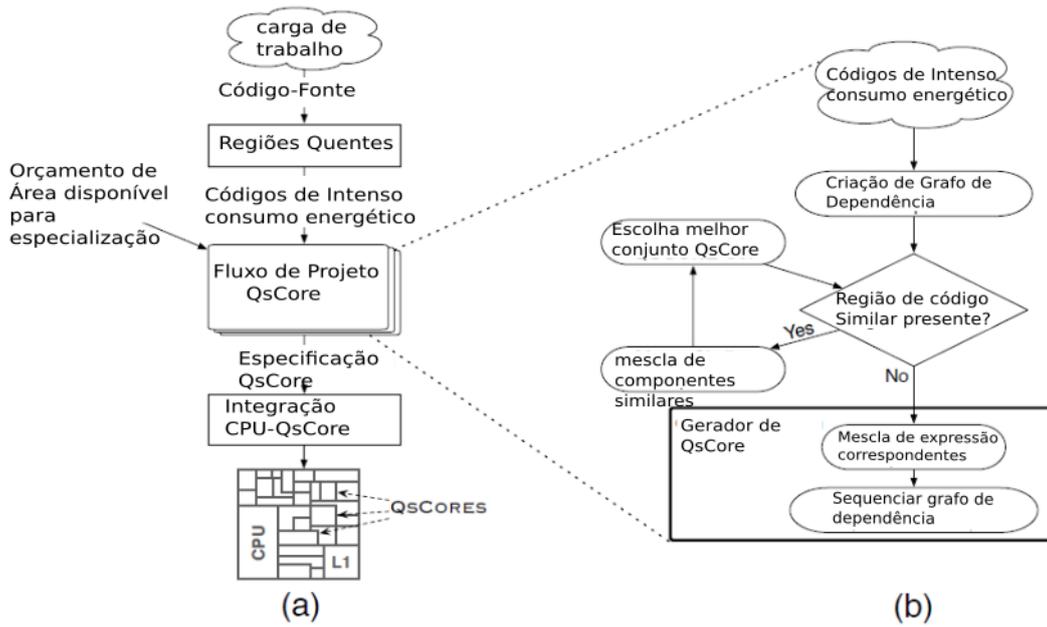


Figura 3.2: Fluxo de um sistema com QsCores e fluxo de projeto de um QsCore [6].

sistema dotado de QsCores consiste em um conjunto de unidades de execução heterogêneas, cada uma com QsCores construídos para diferentes cargas de trabalho.

A Figura 3.2(b) apresenta o fluxo do projeto de um QsCore. Basicamente, o fluxo indica a geração de um grafo de dependência, a pesquisa por padrões de código já existentes e, nesse caso, a junção dos códigos atuais aos QsCores já existentes, a geração de QsCores e a modificação de aplicações para utilizar QsCores [6].

3.3 Uma Alternativa ao *Dark Silicon: Successive Frequency Unscaling* - SFU

Sohail *et al.* [23] mencionam que existe um caminho mais leve para continuar a escala evolutiva dos *multicores* ao invés da especialização dos núcleos de processamento.

Em alguns trabalhos analisados foi observado que a fronteira de Pareto gerada da escala de tensão (VFS) estende para uma região em que a frequência sendo escalada sozinha (FS) possui escala linear mais leve e mais viável de ser utilizada, ao contrário dos projetos baseados na escala de tensão que estão limitados pela barreira de utilização. A Figura 3.3 possui o gráfico que demonstra essa relação. Note que é possível obter os mesmos níveis de desempenho escalando somente a frequência, o que prolonga a escala (redução) de potência para as próximas gerações. Diferente do que acontece quando observa-se a escala derivada da fronteira de Pareto para a tensão (VFS'), em que a potência se aproxima de zero mais rapidamente. Sohail conclui que como a latência de memória melhora lentamente ao longo das gerações, acredita-se que a execução da carga de trabalho será limitada no futuro unicamente pela latência da memória.

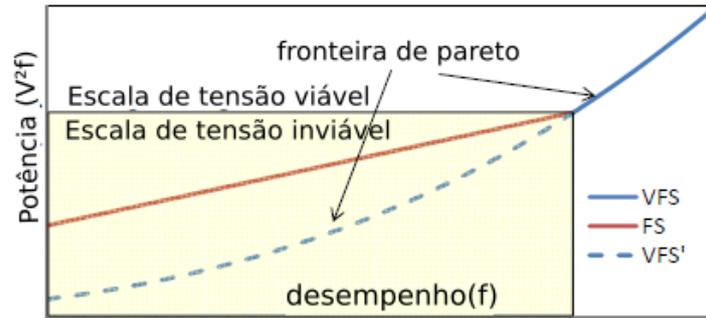


Figura 3.3: Relação escala de tensão e escala de frequência [7].

Verificou-se um impacto sublinear da velocidade do *clock* no desempenho na presença da latência de memória e o impacto super linear da taxa de transferência em atrasos de enfileiramento. Os autores propõem a frequência não-escalável sucessiva (*Successive Frequency Unscaling - SFU*) para que se consiga manter funcionando mais núcleos na mesma frequência de *clock*. A frequência é reduzida a cada geração para manter o orçamento de energia. Mais núcleos funcionando ao mesmo tempo aumentam o nível de paralelismo de memória o que compensa o *clock* mais lento e supera o desempenho que se obtém explorando o *dark silicon* [23].

Em cargas de trabalho de processamento intensivo (*CPU-bound*), a utilização da técnica SFU alcança tempo de execução 81% menor, em projetos de processadores com transistores de 11nm. Já em cargas de trabalho de usuários, com tempo de respostas sensíveis, o SFU consegue 29% melhor rendimento, também considerando transistores com 11nm.

3.4 Gerenciamento Térmico para *Dark Silicon*

No trabalho de Shafique *et al.* [24] é mostrado uma perspectiva diferente para tratar os problemas relacionados ao *dark silicon*. Ao invés de propor o uso de *multicores* heterogêneos ou arquiteturas com aceleradores, o trabalho analisa a gestão térmica da potência (*Thermal Design Power - TDP*) - a quantidade máxima de energia que pode ser fornecida para o *chip* para garantir a operação dentro da faixa de segurança - e da variabilidade do *dark silicon* em *multicores*. O trabalho sugere a padronização da disposição do *dark silicon* no *chip* a fim de conseguir o desligamento de recursos com o objetivo de minimizar o pico de temperatura, mas sem violar o TDP. A padronização pode aliviar os problemas de densidade de potência, o que levará a um uso mais eficaz do orçamento TDP. Assim, o *dark silicon* seria reduzido para a carga de trabalho atual e permitiria maior paralelismo.

Pagani *et al.* [25] apresenta um novo conceito de gerenciamento de energia, chamado potência térmica segura (*Thermal Safe Power - TSP*), que é uma abstração que fornece valores de restrição de energia seguras de acordo com o número de núcleos que funcionam simultaneamente. O trabalho apresenta um algoritmo que calcula TSP para um mapeamento particular de núcleos ativos. O mapeamento dos núcleos ativos para cada valor possível

resulta nos valores mais baixos de TSP. Considerando tais mapeamentos de pior caso, os valores de TSP são seguros para qualquer cenário de mapeamento, tornando irrelevantes para os projetistas as decisões sobre o mapeamento do núcleo. Simulações mostraram que o uso de TSP como restrição de energia resulta em 50,5% e 14,2% de ganho de desempenho em média comparado ao uso de orçamentos de energia constantes. Além disso, TSP resulta em estimativas de *dark silicon* mais otimistas do que estimativas utilizando orçamentos de energia constantes.

3.5 Síntese Arquitetural para MPSocs Heterogêneos com *Dark Silicon*

Turakhia et al. [8] propõem uma otimização iterativa por meio da síntese arquitetural em MPSoCs com *dark silicon*. O objetivo é a determinação de um número ótimo de núcleos, assim como as variações de heterogeneidade dos núcleos no chip, para a melhoria no desempenho das aplicações, respeitando os orçamentos de área e energia. A solução se dá por meio de um algoritmo iterativo que prevê o número de núcleos e também o grau de paralelismo (*Degree Of Parallelism* - DOP) ideal e de um modelo de desempenho que prevê o tempo de execução de aplicação em *chips* heterogêneos.

Turakhia et al. definem o HADES, um framework para a síntese arquitetural de MPSoCs heterogêneos com *dark silicon*. O HADES consiste em: um novo modelo analítico de desempenho de aplicações *multi-threaded* dos benchmarks SPLASH-2 e PARSEC-2.1; um algoritmo iterativo eficiente para determinação do número ótimo e as variações de heterogeneidade dos núcleos, que considera a otimização do grau de paralelismo e o mapeamento das *threads* nos núcleos; uma validação e avaliação dos modelos propostos no simulador Sniper [26]. Na Figura 3.4 é possível observar uma visão geral do *framework*. Essa infraestrutura é baseada na definição do problema da síntese arquitetural de MPSoCs heterogêneos com *dark silicon*, passa pela biblioteca de núcleos de propósito geral, pelo conjunto de aplicações *multi-threaded* e pelo orçamento de energia e área.

Nos experimentos propostos com a biblioteca de núcleos mostrada na Tabela 3.1, o modelo de desempenho alcançou uma taxa de erro de 5,2% em média na execução de mais de 180 experimentos.

Tabela 3.1: Parâmetros microarquiteturais da biblioteca de núcleos [8].

Dados do Núcleo	Valores
Quantidade	1,2,4
Tamanho Janela ROB	8,16,32,64
Cache L1 I/D	64,128,256 KB
Cache L2 (privada)	256 KB
Frequência	2.5,3.5,4.5GHz

Considerando um orçamento de área de $180mm^2$ e orçamentos de energia de 40W, 60W e 80W a variação do tempo médio de execução pode ser vista na Figura 3.5. Houve um

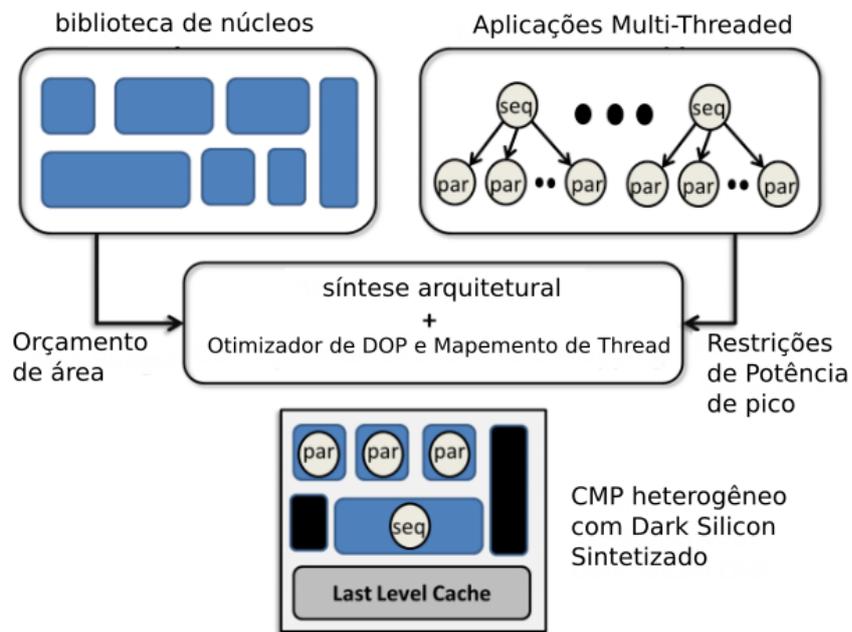


Figura 3.4: Visão geral do *framework* HADES [8].

ganho no desempenho de processadores heterogêneos com otimização de DOP de até 60% comparados com processadores homogêneos com DOP fixo.

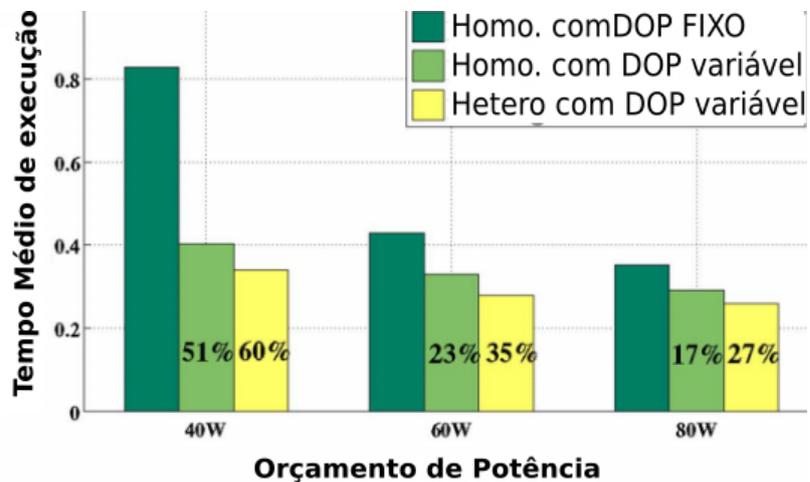


Figura 3.5: Tempo de execução para as diferentes configurações arquiteturais e orçamento de energia [8].

3.6 Alternativas para *Dark Silicon* em Servidores

Hardavellhas et al. [9] mostram como utilizar as restrições de energia e a subutilização do chip para melhorar o desempenho de servidores e a eficiência energética pela utilização da área do chip com um grande conjunto de núcleos especializados. Esses chips especializados podem alcançar o máximo de desempenho e eficiência energética pois utilizam-se do recurso de ativar ou desativar dinamicamente núcleos construídos especificamente para uma carga de trabalho.

Para o projeto de chips especializados é necessário a otimização de quantidade considerável de parâmetros, o que pode tornar a exploração do espaço de projeto inviável. Modelos parametrizados considerando dados do ITRS foram elaborados para derivar o pico de desempenho a partir dos valores de alimentação e tensão limiar, frequência de *clock*, número de núcleos, processo de fabricação, tamanho da cache e a tecnologia da memória.

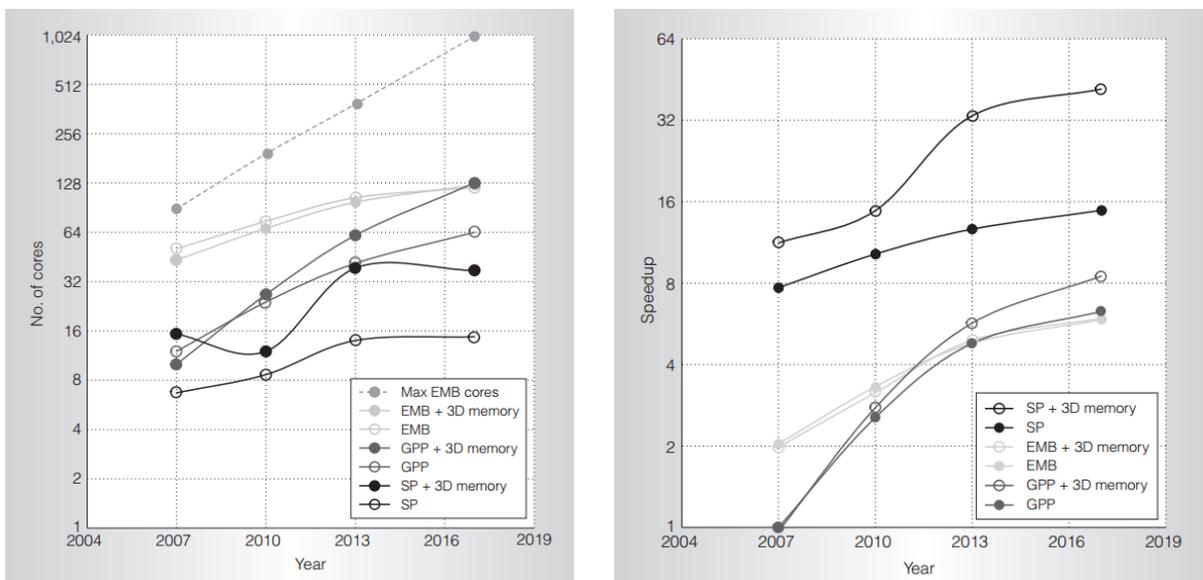


Figura 3.6: Projeções de Quantidade de núcleos e Speedup dos processadores GPP, EMB e SP [9].

Foram modelados núcleos de processadores de 65nm até 20nm de três tipos: propósito geral (GPP), embarcados (EMB) e especializados (SP). Pode-se analisar que as projeções de quantidade de núcleos para se alcançar o pico de desempenho não são proporcionais, ou seja, não é verdade que a escala de núcleos em si irá desencadear em uma melhora de desempenho. Na Figura 3.6 pode-se observar que o uso de tecnologias de memória modernas (3D), além da especialização de núcleos contribuirão significativamente para o ganho de desempenho. Pode-se observar, por exemplo, que o processador SP com memória 3D na geração de 2010 ocorreu uma diminuição na quantidade de núcleos, mesmo assim o *speedup* para a mesma geração foi melhor do que o da geração anterior.

3.7 Considerações Finais

Este capítulo apresentou trabalhos científicos relacionados a esta proposta que abordaram soluções para utilização da área de *dark silicon*. Observa-se uma gama de possibilidades de exploração do espaço de projeto para utilização eficiente da área do *chip*. As propostas apresentadas variam desde a utilização de processadores específicos até gerenciamento térmico e de frequência de operação do *chip*. Por fim, apresentou-se duas ferramentas que exploram o projeto, exploração do espaço e simulação de MPSoCs. Nota-se que tais ferramentas não consideram o *dark silicon* como variável determinante da viabilidade do projeto. Este é, justamente, uma das lacunas observadas na área e foco desta proposta de mestrado.

Capítulo 4

MultiExplorer - Ferramenta para a Identificação de *Dark Silicon* e Exploração do Espaço de Projeto

Projetos de sistemas computacionais atuais devem considerar as restrições da barreira de utilização para que a computação de alto desempenho continue a evoluir e construir produtos com melhor desempenho e menor consumo de energia. Este capítulo detalha o trabalho desenvolvido de identificação e estimativa de *dark silicon*. Para tanto, a ferramenta MultiExplorer [16] foi utilizada como referência para implementar uma metodologia para estimativa de *dark silicon*.

4.1 Considerações Iniciais

A demanda por processamento de alto desempenho aumenta a cada dia, a escala de integração de transistores não atende mais as expectativas esperadas devido à barreira de utilização e ao aumento da porção de *dark silicon* nos *chips* que aumenta a cada nova geração. Diante disso, faz-se necessária a utilização de ferramentas avançadas de projeto que possibilitem a construção de projetos de processadores mais refinados, que consigam entregar desempenho, ou mesmo um menor consumo de energia diante das restrições tecnológicas existentes.

O projeto MultiExplorer [16] foi desenvolvido no LSCAD (Laboratório de Sistemas Computacionais de Alto Desempenho) da Universidade Federal de Mato Grosso do Sul, como uma ferramenta de projeto de sistemas multicore que proporciona ao projetista definir em alto nível, características e restrições para o projeto e obter estimativas sobre frequência máxima de operação, potência dissipada e área do *chip*. Por exemplo, se a área do *chip* resultante não está cumprindo os requisitos de área, o projetista pode alterar os parâmetros de entrada específicos de arquitetura (número de *caches*, tamanho do *cache*, número de núcleos) e também de projeto (processo de fabricação, a tecnologia de transistores) e reavaliar o projeto.

Considerando a necessidade de estimar também a quantidade de *dark silicon* presente em projetos multicore, MultiExplorer foi utilizado neste trabalho como ferramenta para suportar o projeto de novas plataformas computacionais considerando essa nova estimativa. Em sua versão mais recente desenvolvida no âmbito deste trabalho, a ferramenta oferece a estimativa de *dark silicon* e um nível inicial de exploração de espaço de projeto para a busca de configurações cientes de *dark silicon*.

Nas subseções a seguir apresenta-se a metodologia para estimativa de *dark silicon* e a descrição detalhada da arquitetura e fluxo de execução da ferramenta MultiExplorer.

4.2 Estimativa de *Dark Silicon*

A ocorrência de *dark silicon* deve-se ao aumento da potência sobre o *chip* em um processo tecnológico atual em comparação com um processo tecnológico de referência. Entretanto, nota-se que esse incremento é válido desde que o requisito de área (*area envelope*) seja obedecido entre ambos os processos. Logo, esse aumento deve ser acompanhado por um aumento da densidade de potência sobre o *chip*, ou seja, a quantidade de potência consumida por mm^2 de área.

Adicionalmente, as estimativas encontradas na literatura da área são conservadoras uma vez que consideram que a solução para a área de *dark silicon* possui a mesma densidade de potência do *chip*. Tais abordagens desconsideram a possibilidade de substituir uma área do *chip* com *dark silicon* por um *hardware* com maior densidade de potência, permitindo assim que uma menor área do *chip* seja comprometida.

Diante desse cenário, a abordagem aqui adotada considera a possibilidade de utilizar a densidade de potência como parâmetro para identificar e estimar a área em *dark silicon* de um *chip*. Especificamente, a estimativa de *dark silicon* é baseada na identificação da densidade de potência do *chip* comparada com uma densidade de potência de referência. Com base na escala Pós-Dennard, o aumento de densidade de potência em processos tecnológicos sucessivos ocorre devido ao aumento da corrente de fuga e, por consequência, da potência total sobre o *chip*. Assim, há o aumento da potência e, considerando que ambos os projetos possuem a mesma área, também o aumento da densidade de potência indicando então a presença de *dark silicon* no projeto.

A equações a seguir mostram como obter a densidade de potência a partir da potência de pico e a área de um projeto. Na equação 4.1, Δ_{DP} é a diferença de densidade de potência atual (DP_{atual}) e a densidade de potência base (DP_{base}), que representa a densidade de potência excedente a cada mm^2 . Quando $\Delta_{DP} > 0$ calcula-se a potência total excedente na área do *chip* (T_{PE}) multiplicando-se Δ_{DP} pela área do *chip* (A), conforme a equação 4.2. O parâmetro T_{PE} representa a potência excedente total no *chip* atual que deve ser eliminada a fim de mitigar o *dark silicon*.

$$\Delta_{DP} = (DP_{atual} - DP_{base}) \quad (4.1)$$

$$T_{PE} = \begin{cases} \Delta_{DP} \times A & \text{if } \Delta_{DP} > 0 \\ 0 & \text{otherwise} \end{cases} \quad (4.2)$$

Para a identificação da área do *chip* que representa o *dark silicon* converte-se o total de potência excedente T_{PE} em uma área representativa baseada na área de um dispositivo elementar do *chip*, como um transistor. A equação 4.3 mostra como estimar a área de *dark silicon* (A_{DS}) utilizando o pico de potência do circuito de referência C (P_C) e sua área A_C . A partir da área de *dark silicon* um projetista pode executar a exploração do espaço de projeto para proporcionar uma melhor utilização da área do *chip*.

$$A_{DS} = \frac{T_{PE}}{P_C} \times A_C \quad (4.3)$$

Utilizando-se da densidade de potência como um parâmetro para a estimativa de *dark silicon* em um *chip*, pode-se comparar a estratégia aqui apresentada com as abordagens conservadoras para estimativa de *dark silicon*. A Figura 4.1 mostra a comparação entre a abordagem utilizada neste trabalho e a estimativa Pós-Dennard para *dark silicon* em nós tecnológicos de 45nm a 8nm.

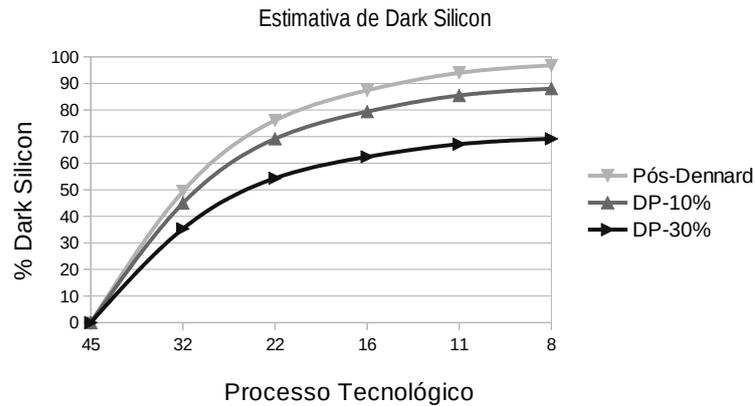


Figura 4.1: Comparação entre a proposta de estimativa e a escala Pós-Dennard para estimativa de *dark silicon*.

Para efeitos de comparação utilizou-se circuitos de referência com 10% e 30% mais densidade de potência do que a média da densidade de potência do *chip*. Essas referencias continuam ainda conservadoras em relação a projetos reais de *chip*, já que em alguns circuitos como os lógicos e aritméticos temos cerca de $1,5 \times 1$ mais densidade de potência que a média do *chip*. As curvas PD-10% E PD-30% foram construídas adotando a escala Pós-Dennard para a evolução da potência (S^2), Quantidade de Transistores (S^2), Frequência (S) e capacitância ($\frac{1}{S}$) entre os nós tecnológicos.

¹Utilizando como referência resultados da ferramenta McPAT com os experimentos realizados neste trabalho.

Ferramentas de estimativa de parâmetros físicos devem levar em conta a potência de todos os componentes específicos para estimativa de dissipação de potência em todo o *chip* para que S^2 também seja o pior caso para o aumento da potência entre dois nós tecnológicos.

Uma outra observação sobre o comportamento da porcentagem de *dark silicon* ao longo dos nós tecnológicos é que a escala de *dark silicon* não está crescendo. A equação 4.4 representa esse comportamento com um limite constante de *dark silicon* entre nós tecnológicos consecutivos. Os parâmetros t and $t - 1$ representam o atual e o próximo nó tecnológico respectivamente. $D(t)$ é a porcentagem de *dark silicon* no *chip* projetado.

$$\lim_{t \rightarrow +\infty} \frac{D(t)}{D(t-1)} = 1 \quad (4.4)$$

Na implementação da estimativa de *dark silicon*, a ferramenta MultiExplorer calcula a potência excedente de um projeto atual com base em um projeto de referência de 90nm onde não é presente as limitações da barreira de utilização. O fluxo de estimativa de parâmetros físicos, utilizando-se da ferramenta McPAT, não fornece em seus resultados a área estimada de um transistor, por isso foi necessário a adoção de um circuito de referência para estimar a área de *dark silicon*.

4.3 Ferramenta MultiExplorer

O MultiExplorer consiste num ambiente em que um projetista pode definir, em alto nível, parâmetros arquiteturais e obter resultados de desempenho, a partir das ferramentas de simulação incluídas nesse ambiente e estimar valores para parâmetros físicos (a partir de ferramenta de estimativas desses parâmetros).

Em sua primeira versão, o MultiExplorer utilizava-se de duas ferramentas *open-source* para a simulação e estimativas dos parâmetros de projeto: o MPSoCBench [27], um *framework* composto por um conjunto escalável de MPSoCs que permite o desenvolvimento e a avaliação de novas ferramentas, metodologias e componentes em alto nível e o McPAT [28], uma ferramenta para a modelagem e estimativa de parâmetros físicos (potência, área, *clock*) para sistemas multiprocessados. Contudo, visando uma maior flexibilidade para o projetista em relação a simulação, estimativa do *dark silicon* e escolha de projetos resultantes da exploração do espaço de projeto, nas versões mais recentes da plataforma foram implementadas interfaces para a integração de outras ferramentas de simulação. Foi desenvolvido o suporte para o simulador Multi2Sim [29] (que possibilita a simulação da arquitetura x86) e o Sniper [30] (que oferece a simulação de núcleos heterogêneos). Além disso, foi incluído na plataforma o suporte para a estimativa de *dark silicon* e um fluxo de exploração de projeto ciente de *dark silicon*.

A Figura 4.2 mostra o fluxo completo de modelagem e simulação da plataforma MultiExplorer. Os passos envolvidos nesse fluxo são detalhados a seguir:

As subseções a seguir detalham os principais componentes do fluxo de execução da ferramenta MultiExplorer.

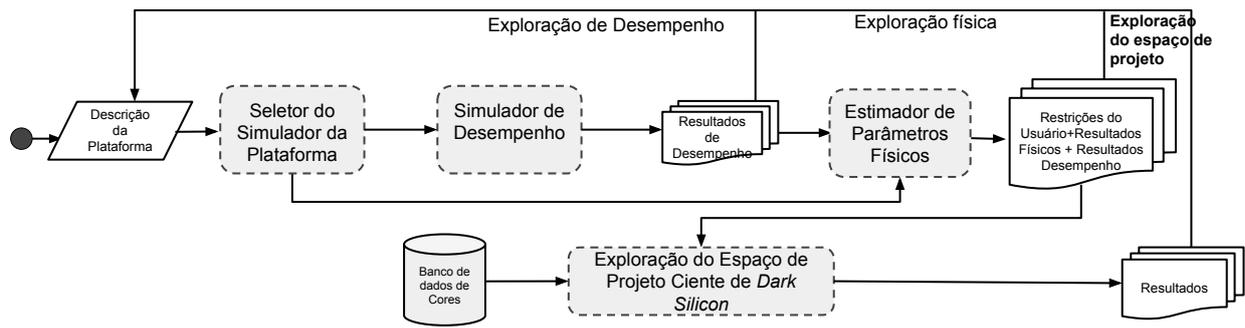


Figura 4.2: Fluxo para definição do projeto, simulação e estimativas de plataformas computacionais utilizando MultiExplorer.

Descrição da Plataforma

O usuário do MultiExplorer especifica parâmetros iniciais para a execução da ferramenta. É possível especificar restrições de projeto como área do *chip*, potência, desempenho e área de *dark silicon*. Em sua arquitetura, o MultiExplorer continua mantendo o acesso dos projetistas aos parâmetros de configuração utilizados nas ferramentas acopladas ao MultiExplorer, porém os parâmetros de alto nível básicos utilizados na execução da plataforma são:

1. Informações sobre a arquitetura do sistema como modelo do processador, estágios de *pipeline*, número de núcleos, arquitetura de *caches* e políticas;
2. Arquitetura do conjunto de instruções;
3. Processo tecnológico;
4. Restrições de projeto: área, potência e *clock*;

Seleção da Plataforma de Simulação

O MultiExplorer executa uma análise sobre a especificação inicial do usuário e escolhe, a partir das principais características, uma ferramenta adequada para suportar a simulação do referido projeto. Os simuladores suportados possuem algumas variações em suas configurações e suporte. O MultiExplorer deve escolher, por exemplo, o simulador mais apropriado para a simulação de núcleos heterogêneos. Nesse passo, o seletor também envia para o estimador físico as restrições de projeto descritas pelo usuário.

Simulação de Desempenho

O simulador de desempenho executa o projeto descrito pelo usuário e exibe os resultados, que juntamente com as restrições configuradas pelo usuário são enviadas para o estimador de parâmetros físicos. Alguns dos resultados de desempenho utilizados pelo estimador de parâmetros físicos são: número de ciclos, estatísticas de acesso a *cache*, o número total

de instruções e instruções por categoria (Inteira, ponto flutuantes e saltos), estatísticas de predição de saltos.

A Figura 4.3 apresenta o fluxo de simulação executado pelo MultiExplorer. A descrição da plataforma em alto nível juntamente com as referências arquiteturais formam o modelo detalhado da plataforma. As referências arquiteturais são valores pré-definidos que melhoram o nível de abstração para o usuário, por exemplo, o usuário irá informar apenas que deseja simular uma plataforma com um conjunto de instruções específico (por exemplo: MIPS), e então o banco de dados será utilizado para trazer as características do conjunto de instruções dessa plataforma. O módulo seletor de simulador irá levar em conta algumas características da plataforma descrita pelo usuário, já que alguns simuladores não dão suporte a núcleos com determinado conjunto de instruções, ou suporte a heterogeneidade, por exemplo.

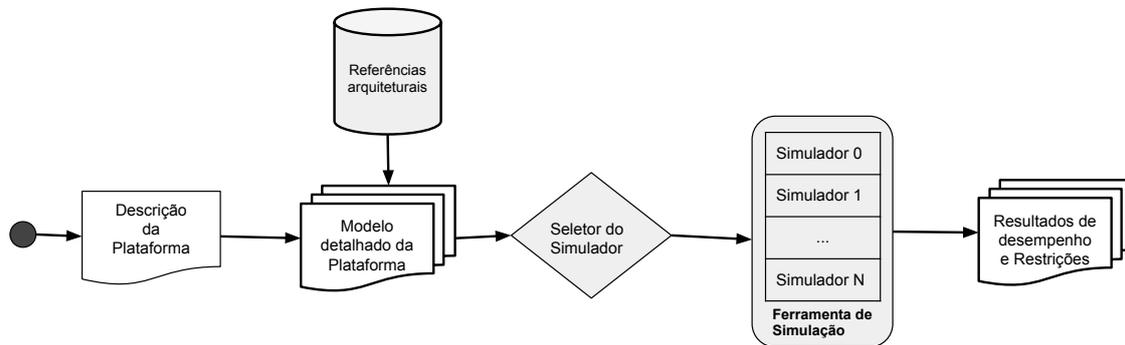


Figura 4.3: Fluxo de simulação de desempenho do MultiExplorer.

A modelagem da plataforma e a simulação de desempenho são avaliados pelo MultiExplorer que pode fazer uso de três ferramentas para simulação de plataformas:

- O MPSoCBench, desenvolvido por Duenha et al. [27,31] é um *benchmark* composto por um conjunto de projetos MPSoCs que incluem quatro diferentes arquiteturas de conjuntos de instruções (*Instruction Set Architectures - ISAs*): PowerPC, MIPS, SPARC e ARM. Tais conjuntos de instruções são organizados em plataformas de 1, 2, 4, 8, 16, 32 e 64 núcleos com diferentes interconexões (*routers* ou NoCs) capazes de executar 15 versões de softwares paralelos de conhecidos *benchmarks*. Para arquitetura MIPS e SPARC, a ferramenta também fornece uma estimativa do consumo de energia [31].
- No trabalho de Trevor et al. [26] [30], como resultado de uma extensão do simulador paralelo *graphite*, é apresentado o Sniper, um simulador *multicore* escalável e paralelizável que utiliza simulação intercalada. Esse tipo de simulação tem como alvo sistemas com múltiplos processadores e em um nível mais alto de abstração em relação à atual prática adotada na simulação com acurácia de ciclos. A simulação intercalada aproveita um modelo analítico para abstrair o desempenho do núcleo utilizando-se da simulação de tempo de um núcleo específico, sem o acompanhamento detalhado de instruções individuais nos estágios de pipeline do núcleo. Resultados para a validação dessa metodologia alcançaram precisão de 25% em relação ao *hardware*, além de operar em uma velocidade de simulação de 2,0 Milhões de Instruções por Segundo (MIPS) ao simular um sistema de 16 cores em uma máquina SMP com 8 núcleos.

- Multi2Sim [29] é um conjunto de ferramentas de código-fonte aberto, modulares e altamente configuráveis que permite a simulação em nível de ISA de processadores (x86) e unidades de processamento gráfico (GPUs) (AMD Evergreen) de forma heterogênea. Técnica fundamental para a avaliação de plataformas computacionais, já que a utilização de processador e GPU integrados é constantemente utilizada em projetos de sistemas *multicore*. O Multi2Sim executa aplicativos em OpenCL sem nenhuma alteração no código-fonte e oferece uma série de recursos que possibilitam a caracterização de aplicação, otimização de código, de compilador e projeto de arquitetura do *hardware*. O projeto do Multi2sim começou com um sistema de simulação com acurácia de ciclos, suportando modelos superescalar, *multithreaded* e CPU *multicore*. O *framework* de simulação consiste em dois componentes principais de software que interagem entre si. O simulador funcional “imita” a execução de um programa em processador x86, interpretando o programa binário e reproduzindo dinamicamente seu comportamento no nível do conjunto de instruções. O simulador arquitetural mapeia as instruções x86 do simulador funcional e acompanha a execução das estruturas de *hardware* do processador num suporte ciclo por ciclo.

Estimativa Física

Este passo é executado quando o usuário solicita a modelagem física do projeto. A ferramenta de estimativa de parâmetros físicos McPAT [28] é utilizada e gera informações como frequência de *clock*, área e potência para todas as unidades funcionais que compõem uma plataforma *multicore*. Os resultados gerados pelo McPAT são necessários para estimativa de *dark silicon* (Seção 4.2) e juntamente com os resultados de desempenho e as restrições do usuário podem ser utilizados para a execução do fluxo de exploração do espaço de projeto ciente de *dark silicon*.

A Figura 4.4 mostra o fluxo da estimativa de física do MultiExplorer. Os dados de desempenho resultantes da simulação, além da descrição da plataforma e restrições informadas pelo projetista são passados para a ferramenta de estimativa física que, baseada no seu modelo de estimativa de área, potência e frequência de *clock*, estima área e frequência do chip, além de também estimar a potência dinâmica e corrente de fuga dos componentes da plataforma. Essas estimativas são utilizados pelas equações 4.1, 4.2 e 4.3 para identificar e estimar *dark silicon* na plataforma atual. Importante notar que a estimativa da área do chip em *dark silicon* (equação 4.3) é obtida considerando como circuito de referência (C) a área (A_C) e potência (P_C) do circuito da unidade de lógica e aritmética de 32 bits. Idealmente, esse circuito deve ser um componente elementar do projeto, como um transistor ou algum bloco lógico elementar. A adoção do circuito da unidade de lógica e aritmética foi necessária pois a ferramenta McPAT não possui modelo de potência e área para um transistor.

A ferramenta McPAT explora o espaço de área, potência e frequência de *clock* de plataformas computacionais em nível de microarquitetura, como inclusão de núcleos em-ordem ou fora-de-ordem, redes em *chips* (*Network on Chips - NoCs*), memória compartilhada, controlador de memórias e múltiplos domínios de *clock*. Em nível de circuito e tecnologia, a ferramenta suporta projetos críticos em *timing*, projetos de área, dinâmicos, circuitos pequenos, projeta corrente de fuga para cada um dos dispositivos da plataforma e que

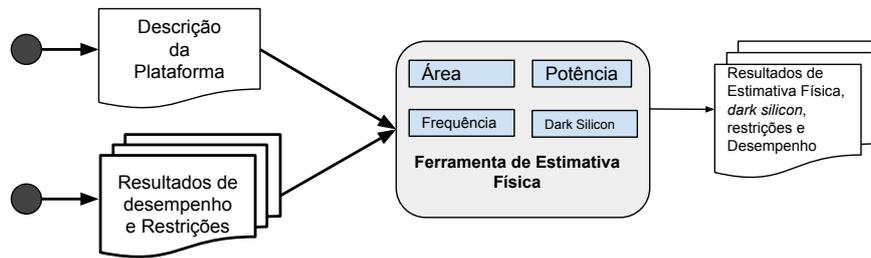


Figura 4.4: Fluxo de estimativa física do MultiExplorer.

constam em seu modelo de estimativas. O McPAT possui uma interface flexível em XML para facilitar o uso com simuladores de desempenho.

Exploração do Espaço de Projeto Ciente de *Dark Silicon*

Caso o usuário permita a exploração do espaço de projeto, a plataforma realiza uma modelagem multi-objetivo, com base nos resultados de desempenho e estimativas físicas, utilizando-se de um banco de dados de núcleos e elementos de *hardware* para procurar configurações alternativas que obedeçam as restrições impostas pelo usuário.

A execução da exploração do espaço de projeto (*Design Space Exploration - DSE*) consiste na aplicação de técnicas de otimização no processo de desenvolvimento desses sistemas visando atender objetivos de projeto e sujeito às restrições físicas e de desempenho. Ferramentas DSE para o projeto de sistemas computacionais levam em conta um conjunto típico de parâmetros arquiteturais para definir os objetivos e restrições dos sistemas. Dessa forma, a exploração do espaço de projeto deve considerar o que se deseja maximizar ou minimizar, já que, por exemplo, um sistema que é o melhor do ponto de vista do desempenho, pode ser o pior em termos de consumo de energia e vice-versa [32].

O Multicube Explorer [32, 33] foi utilizado como infraestrutura básica para exploração de espaço de projeto no MultiExplorer. Multicube é um *framework open-source* interativo que permite explorar automaticamente o espaço de projeto de sistemas multiprocessadores usando a configuração de parâmetros da arquitetura para os quais existe um modelo executável. Ressalta-se que este trabalho de mestrado não atuou diretamente sobre o desenvolvimento do fluxo de exploração do espaço de projeto do MultiExplorer. Esse fluxo é objeto de estudo e pesquisa de um outro trabalho de mestrado em desenvolvimento no LSCAD/FACOM/UFMS.

Técnicas automáticas de exploração utilizam heurísticas para descobrir um conjunto viável de parâmetros arquiteturais em um tempo viável. Além disso, o tempo de exploração do projeto pode ser reduzido substituindo-se alguns pontos de simulação por previsões obtidas através de modelos analíticos que preveem o comportamento do sistema correspondente para pontos ainda não simulados. Estes modelos analíticos são definidos a partir de um conjunto de treino de simulações [32].

A Figura 4.5 apresenta o fluxo de DSE do MultiExplorer que se utiliza das restrições do usuário, os parâmetros de desempenho e físicos para a otimização da plataforma. As restrições de área, potência ou de *dark silicon*, enviadas pelo usuário, por exemplo, juntamente com os dados gerados pelo módulo de simulação do MultiExplorer servirão para a construção do arquivo de definição do espaço de projeto. Esse caso de uso específico se tornará um conjunto de soluções viáveis combinadas com os núcleos do repositório. Os valores de parâmetros físicos e de desempenho de soluções que ainda não foram simuladas serão estimados a partir de heurística própria. Do conjunto de soluções verificadas, as que respeitam os múltiplos objetivos resultantes da execução do algoritmo NSGA-II [34] na ferramenta Multicube [33], são propostas como novas soluções. No fluxo do MultiExplorer, essas soluções serão avaliadas pelos módulos de simulação e de estimativas física.

Os resultados de exploração finais (fronteiras de Pareto) podem ainda ser melhorados por um conjunto de mecanismos de tomada de decisão. O conjunto de soluções pode ser filtrado de acordo com alguns classificadores para se obter a solução final, candidata para a execução. Além disso, a fronteira de Pareto pode ser utilizada para apoiar a gestão do tempo de execução dos recursos [32].

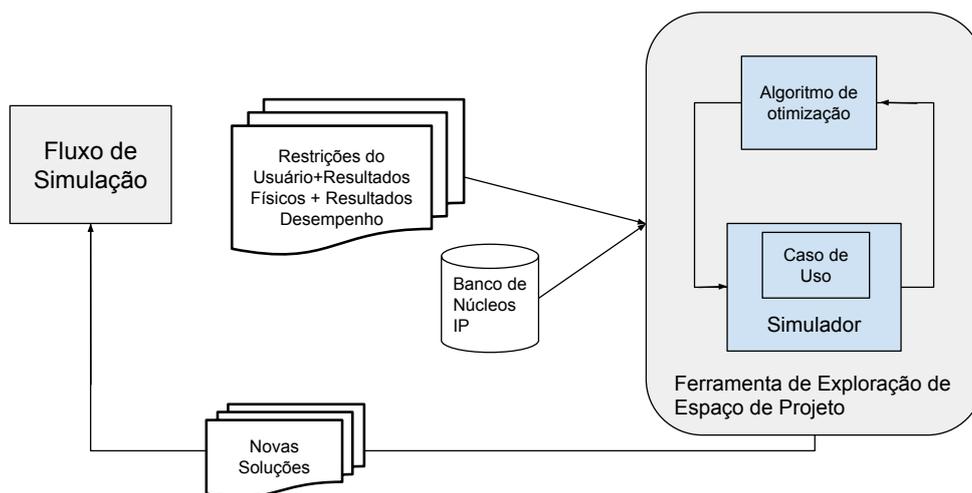


Figura 4.5: Fluxo de exploração do espaço de projeto ciente de *dark silicon*.

4.4 Considerações Finais

Este capítulo apresentou o modelo de estimativa de *dark silicon* proposto neste trabalho assim como fluxo de execução da ferramenta MultiExplorer que provê suporte para a execução dessa estimativa e exploração do espaço de projeto de plataformas computacionais.

No tocante à descrição da ferramenta desenvolvida, foi apresentado o fluxo de funcionamento e também detalhado como é feita a estimativa de *dark silicon* pela ferramenta. A abordagem de estimativa apresentada mostrou que a partir do cálculo da potência excedente do *chip* e da densidade de potência de um circuito de referência, pode-se obter estimativas mais realistas de área em *dark silicon*.

Capítulo 5

Experimentos e Resultados

Este capítulo apresenta os experimentos realizados para validar e avaliar a metodologia para estimativa de *dark silicon* assim como o novo ambiente MultiExplorer proposto no Capítulo 4. Os experimentos são baseados em projetos multicore reais considerando diferentes processos tecnológicos e evoluções arquiteturais. Além de apresentar resultados e discussões em torno das estimativas de *dark silicon*, apresenta-se também um experimento inicial com a exploração de espaço de projetos.

5.1 Descrição dos Experimentos

Diferentes projetos de processadores baseados nas microarquiteturas PentiumTM e AMDTM foram adotados nos experimentos envolvendo modelagem de plataformas e estimativas de *dark silicon* utilizando MultiExplorer. Essas plataformas de processadores foram escolhidas por apresentarem implementações reais com diferentes processos tecnológicos a partir de 90nm (90nm-22nm para Intel Pentium e 90nm-32nm para para AMD K8/K9). Essa variação entre processos tecnológicos é importante para ratificar o aumento de potência total do *chip* em virtude do aumento da potência de fuga (devido ao incremento da corrente de fuga).

Adicionalmente, com a utilização de modelos reais de processadores, pode-se comparar a estimativa de *dark silicon* com os recursos arquiteturais utilizados nos processadores para indicar como a indústria está contornando o *dark silicon*. A Tabela 5.1 apresenta as características dos processadores utilizadas nos experimentos. Os processadores Intel (1-4) são baseados na microarquitetura Pentium [35]. O Santa Rosa AMD é baseado na arquitetura K8 e possui tecnologia de 90nm; o Barcelona, Shanguai e Interlagos são baseados na microarquitetura K10 [36].

Essas plataformas *multicore* foram simuladas utilizando a ferramenta Sniper [26] presente no fluxo de exploração de desempenho do MultiExplorer. Essa simulação foi realizada a fim de obter resultados de desempenho da plataforma e seus diferentes componentes arquiteturais (*caches*, *cores*, *preditores*, etc.) a partir dos *benchmarks* Parsec [37] e Splash-2 [38].

Utilizando-se do fluxo de execução do MultiExplorer e das plataformas (e seus parâmetros) descritos na Tabela 5.1, além de outros parâmetros microarquiteturais descritos

Tabela 5.1: Configurações das plataformas utilizadas nos experimentos.

	Processador	Tecnologia (nm)	Área Die (mm ²)	Frequência (GHz)	Total cores	Threads	Caches
Intel	1 - Smithfield 820	90	206	2.8	2	1	L1-2-16KB, L2-2-1MB
	2 - Allendale E2140	65	77	1.6	2	1	L1-4-32KB, L2-1-1MB
	3 - Wolfdale E5200	45	82	2.5	2	1	L1-4-32KB, L2-2-2MB
	4 - Clarkdale G6950	32	81	2.8	2	1	L1-4-32KB, L2-2-256KB, L3-1-3MB
AMD	5 - Santa Rosa 8224 SE	90	230	3.2	2	1	L1-2-64KB, L2-2-1MB
	6 - Barcelona 8360 SE	65	285	2.5	4	1	L1-4-64KB, L2-4-512KB, L3-1-2MB
	7 - Shanghai 8393 SE	45	258	3.1	4	1	L1-8-64KB, L2-4-512KB, L3-1-6MB
	8 - Interlagos 6204	32	316	3.3	4	1	L1-6-64KB, L2-2-2MB, L3-2-8MB

nos *Datasheets* dos fabricantes, realizou-se modelagem e simulação dos projetos multicore visando realizar os seguintes experimentos:

- Comparações de estimativas de *dark silicon* a partir de duas plataformas reais. Esse experimento objetiva estimar a área dedicada ao *dark silicon* considerando que essas plataformas sejam evoluídas para outros processos tecnológicos;
- Identificação e estimativas de *dark silicon* considerando todas as plataformas apresentadas na Tabela 5.1;
- Exploração inicial do espaço de projeto ciente de *dark silicon*. Ressalta-se que o fluxo de projeto da exploração de projeto na ferramenta MultiExplorer ainda encontra-se em desenvolvimento e é objeto de outro trabalho de mestrado no LSCAD/FACOM/UFMS.

5.2 Comparativo Entre Estimativas de *Dark Silicon*

A Tabela 5.2 apresenta os resultados de um primeiro experimento com a modelagem do processador Pentium Smithfield 820 (Proc 1) e o AMD Santa Rosa (Proc 5). O MultiExplorer foi utilizado para estimar a porcentagem de *dark silicon* a partir do projeto original dos processadores (Sem *dark silicon* com 90nm), considerando as mesmas características de frequência e arquiteturais mas construídos em diferentes processos tecnológicos. Importante destacar que a ferramenta de estimativa de parâmetros físicos (McPAT) utilizado no MultiExplorer possui erro médio de 10% a 20% para a estimativa de área do *chip* e potência [28], devido a utilização de valores fixos para os cálculos dos módulos de *hardware* que, na realidade, possuem valores variáveis (Uma ULA, por exemplo não possui o mesmo consumo de potência para cada unidade de medida correspondente a sua área). Logo os erros nas estimativas físicas dos experimentos realizados estão sujeito ao erro do modelo utilizado pelo McPAT, uma das ferramentas mais utilizadas por projetistas para esse tipo de estimativa.

Neste experimento foi utilizado a plataforma real construída com processo tecnológico de 90nm como referência para o cálculo de *dark silicon* em processos subsequentes. Dessa

perspectiva, observa-se que manter a mesma frequência e características arquiteturais é um dos melhores cenários para mitigar a presença de *dark silicon* mesmo avançando os processos tecnológicos.

Para cálculo do *dark silicon* utilizamos a potência de pico 2.4 para que os dados estimados de *dark silicon* retratem o pior caso possível, já que o consumo da potência nos valores da potência de pico não ocorre em todo o funcionamento do *chip*.

Todos os valores apresentados nesta Tabela foram estimados pelo MultiExplorer a partir da modelagem da plataforma de referência (Smithfield e Santa Rosa) em cada processo tecnológico e com a variação de frequência de *clock*. Os valores apresentados para “Perc. de *Dark Silicon* (%)” indicam estimativas da área dedicada ao *dark silicon* em cada plataforma, tomando como referência a plataforma com tecnologia de 90nm e frequência de *clock* original. Para os cálculos de estimativa de *dark silicon*, foi utilizado os dados de área e potência de pico de uma ULA. Esse circuito de referência foi utilizado por possuir maior densidade de potência do que a média do *chip*, o que ira resultar em cálculos mais otimistas em relação a área de *dark silicon*. Lembrando que o circuito de referência utilizado para os cálculos poderá ser escolhido pelo projetista no Fluxo-DSE do MultiExplorer.

Tabela 5.2: Estimativa de dissipação de potência e *dark silicon* (%) na área do *chip die* considerando os processos tecnológicos e frequência de *clock* nos processadores Pentium Smithfield 820 e AMD Santa Rosa 8224.

	90nm		65nm		45nm		32nm	
	Proc 1	Proc 5						
Frequência (GHz)	2,8	3,2	2,8	3,2	2,8	3,2	2,8	3,2
Área do chip (mm²)	161,83	247,36	122,16	124,50	54,98	59,73	29,30	32,50
Potência de Pico (W)	98,79	133,08	71,77	92,49	40,13	68,30	23,82	31,13
Potência de fuga (W)	5,02	7,48	9,87	17,06	7,42	21,18	6,53	3,60
Densidade de potência ($\frac{W}{mm^2}$)	0,61	0,54	0,58	0,74	0,72	1,14	0,81	0,95
Perc. de Dark Silicon (%)	-	-	-	2,39	2,83	6,32	5,29	4,96

A Tabela 5.3 apresenta os resultados de *dark silicon* quando a frequência de *clock* é escalada segundo a escala de Dennard (*S*).

Tabela 5.3: Estimativa de dissipação de potência e *dark silicon* (%) na área do *chip die* considerando os processos tecnológicos e frequência de *clock* escalada em Dennard nos processadores Pentium Smithfield 820 e AMD Santa Rosa 8224.

	90nm		65nm		45nm		32nm	
	Proc 1	Proc 5						
Frequência (GHz)	2,8	3,2	3,9	4,4	5,4	6,1	7,6	8,5
Área do chip (mm²)	161,83	247,36	123,18	125,98	63,11	61,90	15,72	33,70
Potência de Pico (W)	96,79	133,08	95,77	123,61	71,16	112,42	26,14	82,35
Potência de fuga (W)	5,02	7,48	9,93	17,07	8,29	21,41	6,90	3,62
Densidade de potência ($\frac{W}{mm^2}$)	0,61	0,54	0,77	0,98	1,12	1,82	1,66	2,47
Perc. de Dark Silicon (%)	-	-	2,55	3,93	6,89	7,94	15,65	9,52

Pode-se verificar essa mitigação ao analisar a % de *dark silicon* no *chip* quando considerando a plataforma multicore Smithfield evoluída para 65nm (65nm - Proc 1). A densidade de potência no processo tecnológico com 65nm é reduzida para o processador Smithfield, o

que ocasionou a ausência de *dark silicon*. Entretanto, deve-se notar que devido ao aumento da potência de fuga e, como consequência, da potência de pico, a densidade de potência e consequentemente o *dark silicon* aumentam nos processos subsequentes.

Observa-se um aumento do percentual de *dark silicon* (2,55% - 15,65%) em comparação com os mesmos processos que utilizam a frequência de *clock* original (Smithfield = 2,8 GHz, Santa Rosa = 3,2 GHz). Considerando a escala de frequência de Dennard, nota-se o impacto direto na dissipação de potência total, implicando diretamente no aumento do *dark silicon*. Ratificando propostas de soluções da literatura da área, os resultados obtidos mostram que a escala de frequência é um parâmetro que pode ser utilizado pelo projetista para a exploração do espaço de projeto.

5.3 Estimativas de *Dark Silicon* entre Plataformas Reais

A Tabela 5.4 apresenta as estimativas de *dark silicon* considerando todas as plataformas da Tabela 5.1. Pode-se observar que as percentagens de *dark silicon* não seguem o aumento incremental de *dark silicon* esperado e tampouco as curvas de estimativa da Figura 2.3. Tais plataformas são projetos reais independentes, assim que as decisões de projeto e recursos arquiteturais existentes contribuem para essas variações. Por exemplo, a ausência de *dark silicon* no processador Allendale (Proc 2), apesar do aumento de 3% na densidade de potência comparado com o processador SmithField, mostra que o processador com nó tecnológico de 65nm possui dispositivos (circuitos de referência) com maior densidade de potência e que impactam em uma área desprezível de *dark silicon* no *chip*.

Tabela 5.4: Estimativa de dissipação de potência e área de *dark silicon* (%) considerando os nós tecnológicos dos processadores 1-8.

	90nm		65nm		45nm		32nm	
	Proc 1	Proc 5	Proc 2	Proc 6	Proc 3	Proc 7	Proc 4	Proc 8
Área do <i>chip</i> (mm^2)	161,83	247,36	93,16	258,03	71,53	219,46	66,94	224,93
Potência de pico (W)	98,79	133,08	58,77	151,95	94,91	143,82	43,19	135,32
Potência de fuga (W)	5,02	7,48	21,7	20,42	20,7	58,85	6,5	12,53
Densidade de potência ($\frac{W}{mm^2}$)	0,61	0,54	0,63	0,58	1,32	0,93	0,64	0,60
Perc. de <i>Dark Silicon</i> (%)	-	-	-	-	8,26	4,33	0,17	0,93

Esses resultados mostram que a organização arquitetural das plataformas podem ser responsáveis por uma redução nos efeitos causados pela aumento da potência de fuga e densidade de potência. Alguns exemplos de projetos de organização arquiteturais encontradas nos experimentos são:

- A redução da frequência (1,6GHz) no processador 2 (Allendale 2140) comparado com o processador 1 (2,8GHz). A redução da frequência impacta na potência de pico dinâmica e na potência total do *chip*.
- O aumento de área do processador 6 (Barcelona 8360) comparada com o processador 5 (Santa Rosa 8224). O aumento da área, em geral, reduz a densidade de potência. O

MultiExplorer não encontrou *dark silicon* representativo comparado com o processador de referência (Processador 5)

- Tanto no processador Intel Clarckdale (Processador 4) quanto no AMD Interlagos (Processador 8) foram adicionados uma terceira *cache* (L3). Esse recurso arquitetural possui baixa densidade de potência, o que contribui para a redução do *dark silicon* nessa plataforma.

Os resultados das estimativas de *dark silicon* nos processadores Intel e AMD mostram que ocorre o seu aumento à medida que o processo tecnológico evolui. Isso significa que um projeto abaixo de 90nm possui maior densidade de potência comparados com os projetos do Smithfield 820 e Santa Rosa 8224 SE (ambos com 90nm) e possuem uma porcentagem de *dark silicon* na área do *chip*. Quando uma porcentagem de *dark silicon* é “-”, significa que o projeto não possui *dark silicon*. Isto pode ser verificado com a comparação da densidade de potência do processo tecnológico em análise com a densidade de potência do processo tecnológico base, conforme as Fórmulas 4.1, 4.2 e 4.3.

A fim de validar a estratégia de diminuição da frequência de *clock* de núcleos para mitigar o *dark silicon* os projetos da AMD foram configurados para que um dos núcleos atue com 80% da frequência nominal de *clock*. O *dark silicon* estimado dos projetos foram de 0,6%, 3,3% e 0,3% nos processos de 65nm, 45nm e 32nm respectivamente. Esse resultado aponta que uma estratégia viável para mitigar *dark silicon* pode ser a redução seletiva da frequência de *clock* de alguns núcleos.

A Figura 5.1 exibe um comparativo das estimativas de *dark silicon* entre o ITRS 2.5, os processadores apresentados na Tabela 5.4 (Intel e AMD), o processador Intel Smithfield e o AMD Santa Rosa com frequência escalada em escala de Dennard. A estimativa teórica (ITRS e processadores escalados em Dennard) serve como referência de pior caso para os limites de *dark silicon*, logo é esperado que processadores reais tenham menores porcentagens de *dark silicon*. A organização arquitetural do processador que se utiliza de diferentes requisitos de potência pode diminuir o *dark silicon* do *chip*.

Também é possível observar na Figura 5.1 que em projetos de processadores reais o *dark silicon* possui o mesmo comportamento nos diferentes processos tecnológicos. O processador Smithfield na versão escalada possui maior *dark silicon* que a projeção teórica ITRS devido à escala de frequência de *clock* maior em um *chip* com área menor, o que resulta em uma maior potência dinâmica e densidade de potência. Pode-se notar que a estimativa de *dark silicon* na escala ITRS começa depois dos 45nm já que considera o *dark silicon* 0 para 65nm e 45nm.

5.4 Exploração do Espaço de Projeto Ciente de *Dark Silicon*

Além de experimentos para identificar áreas de *dark silicon*, realizou-se um experimento inicial para a exploração do espaço de projeto utilizando o fluxo de exploração de espaço de projeto do MultiExplorer. A partir de uma plataforma de referência, com uma tecnologia de 90nm, esse experimento explorou novas organizações arquiteturais, para plataformas com

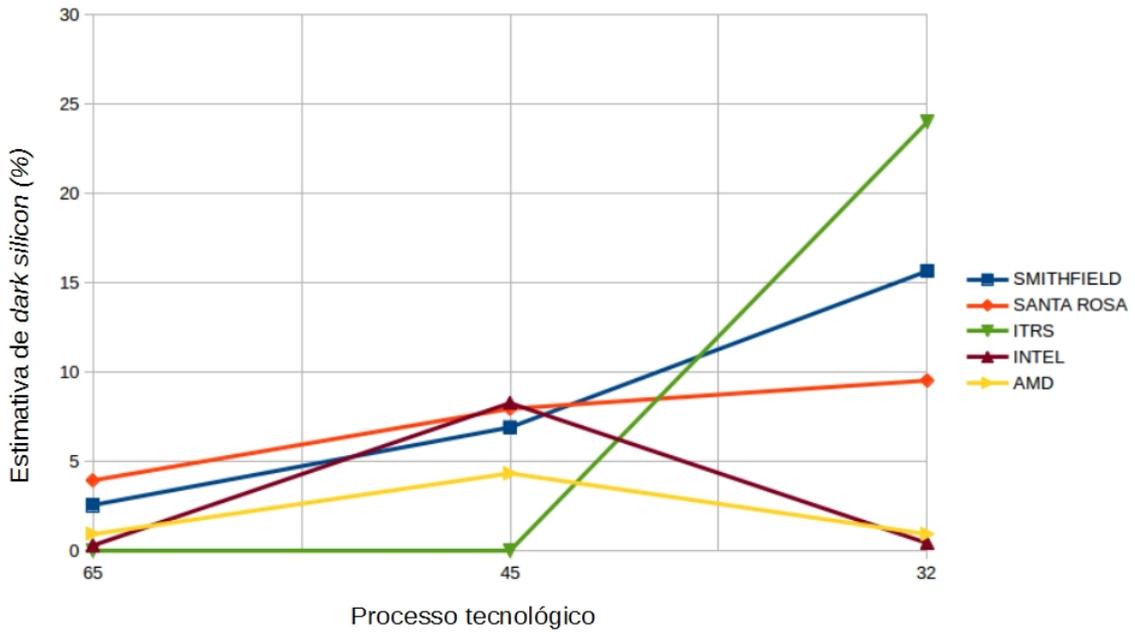


Figura 5.1: Estimativa de *dark silicon*: Smithfield, Santa Rosa, ITRS, Intel Pentium e AMD K8/10.

tecnologias abaixo de 90nm, mas que respeitem as restrições do projeto (incluído o *dark silicon*) além de garantir requisitos de desempenho.

A plataforma Smithfield (90nm) foi utilizada como base (Base-90nm). Essa plataforma foi alterada para o processo tecnológico de 65nm (Opt-65nm) composto de quatro núcleos e com a mesma frequência nominal do Smithfield (2,8GHz). Todos os parâmetros físicos e de desempenho das plataformas Opt-65nm juntamente com o *dark silicon*, a área do *chip* (tolerância de 15%), densidade de potência, e restrições de desempenho foram enviadas para o componente DS-DSE do MultiExplorer. Os resultado de desempenho e densidade de potência foram obtidos através da execução de 6 programas do *benchmark* SPLASH-2.

Em termos gerais, o fluxo DS-DSE do MultiExplorer realizou a busca por soluções viáveis para os parâmetros considerando um modelo de otimização que minimize o *dark silicon* do *chip* de acordo com o seguinte conjunto de restrições:

$$\begin{aligned}
 & \text{Min} && DS_{solucao} \\
 & \text{Sujeito a:} && \\
 & && 2 \leq N_{solucao} \leq 4 \\
 & && A_{base} \times 0,85 \leq A_{solucao} \leq A_{base} \times 1,15 \\
 & && P_{solucao} - P_{base} \leq 0 \\
 & && D_{solucao} - D_{base} \geq 0
 \end{aligned}$$

O objetivo então da exploração do espaço de projeto deve ser minimizar o *dark silicon* ($DS_{solucao}$) sujeito às restrições de número de cores (N), área (A), a densidade de potência

(P) e desempenho (D) comparando o resultado (solução) com esses mesmos parâmetros da plataforma base.

A Tabela 5.5 apresenta os parâmetros arquiteturais explorados pelo componente DS-DSE do MultiExplorer nas plataformas Base-90nm, Opt-65nm, e em um conjunto viável de plataformas (Opt_DSE1-Opt_DSE4) - que respeitam as restrições delimitadas. Pode-se observar que as plataformas alternativas levam em conta não só a redução da frequência de *clock* mas também o aumento de memória *cache*. Esse é um resultado interessante, já que o aumento da *cache* pode resultar em uma grande melhoria no desempenho (Através da diminuição da taxa de *miss*) com um pequeno aumento na densidade de potência.

Tabela 5.5: Configurações do componente DS-DSE.

Id	No. núcleos	Freq. Clock. (GHz)	L2 Cache	Potência	Área Chip
Base-90nm	2	2,8 - 2,8	2MB	93	161,83
Opt-65nm	4	2,8 - 2,8 - 2,8 - 2,8	2MB	154	167,41
Opt_DSE1-65nm	4	2,8 - 1,6 - 1,6 - 1,6	2MB	86	155,55
Opt_DSE2-65nm	4	2,8 - 1,4 - 1,4 - 1,4	2MB	85	155,55
Opt_DSE3-65nm	4	2,8 - 1,8 - 1,8 - 1,8	2MB	95	166
Opt_DSE4-65nm	4	2,8 - 1,6 - 1,6 - 1,6	3MB	96	183,45

As plataformas do conjunto viável constituem pontos da fronteira de Pareto na solução de um problema de exploração de espaço de projeto ciente de *dark silicon*. A escala do processo tecnológico de 90nm para 65nm (Pós-Dennard) mostra que a plataforma Opt-65nm tem um aumento de 59% na densidade de potência (e 47% de *dark silicon* = 80mm²) comparada com a plataforma base ($\frac{DP_{Opt-65nm}}{DP_{Base-90nm}}$). Por outro lado, as estimativas MultiExplorer são baseadas em modelos reais de um banco de dados de núcleos como circuitos de referência que sugerem área de *dak silicon* de 11%(18,4mm²). Mesmo sugerindo uma estimativa menos conservadora se comparada com a escala Pós-Dennard, os resultados justificam a utilização de uma estratégia de exploração de espaço de projeto (DSE) como alternativa arquitetural para diminuir o *dark silicon*.

A Figura 5.2 mostra os resultados da densidade de potência (DP), área do *chip* (Área) e *speedup* (Sp) da plataforma Opt-65nm e o conjunto viável de plataformas (Opt_DSE1-Opt_DSE4). Os resultados estão normalizados tomando como referência a plataforma Base-90nm (PD=1, Área=1, Sp=1). Todas as plataformas Opt_DSE atendem as restrições de projeto e também melhoram o desempenho comparadas com a plataforma base. Considerando o desempenho, Opt_DSE1 poderia ser a melhor opção, substituindo assim a plataforma Opt-65nm, uma vez que é uma plataforma “livre” de área de *dark silicon* e possui o melhor *speedup* entre as plataformas viáveis ($Sp = 1,42$). Apesar de o *speedup* da plataforma Opt-65nm ($Sp = 2,01$) ser o melhor entre as configurações, ela não está entre uma solução viável, já que não respeita a restrição de diminuição da densidade de potência.

No experimento realizado, as soluções viáveis resultantes foram obtidas a partir da execução de um mecanismo de busca exaustiva. Esse experimento também foi, posteriormente, executado com a utilização do algoritmo genético NSGA-II junto ao fluxo de exploração de espaço de projeto. Com o algoritmo NSGA-II, um conjunto de apenas três soluções foram

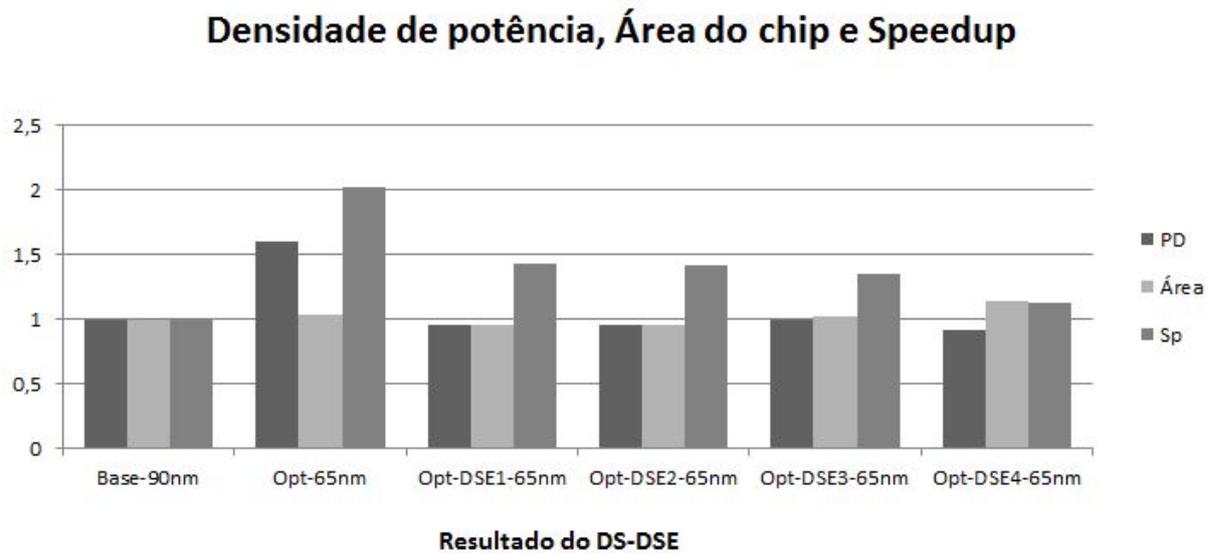


Figura 5.2: Resultados Multiexplorer DS-DSE: Quatro (DSE1-DSE4) plataformas viáveis livres de *dark silicon*.

obtidas. O algoritmo foi configurado para realizar 40 gerações e retornou apenas soluções referentes às plataformas Opt_DSE1-65nm, Opt_DSE2-65nm e Opt_DSE4-65nm.

5.5 Considerações Finais

Nesse capítulo foram apresentados os experimentos e resultados para estimativas de *dark silicon* utilizando o fluxo da ferramenta MultiExplorer. Verifica-se que a estimativa proposta neste trabalho é mais otimista que as previsões encontradas na literatura da área. Observa-se que mesmo diante de um plataforma com área do *chip* considerada como *dark silicon*, pode-se atualizar o projeto para utilizar eficientemente essa área e manter os requisitos técnicos.

Capítulo 6

Conclusões e Trabalhos Futuros

Este trabalho objetivou a identificação e mensuração da área de *dark silicon* em projetos de sistemas *multicore*. Para tanto, um modelo de estimativa de *dark silicon* foi proposto e validado considerando projetos *multicore* reais. Esse modelo considera como parâmetro fundamental de estimativa, a densidade de potência do *chip*. A estimativa leva em consideração a heterogeneidade presente no projeto e as características de utilização de recursos das aplicações a partir de valores reais. Para identificar e estimar a área de *dark silicon* sobre um *chip*, estendeu-se a ferramenta de simulação de plataformas computacionais denominada MultiExplorer. Essa ferramenta possibilita que um projeto seja avaliado considerando sua evolução tecnológica e a presença de *dark silicon* sobre o *chip* e, além disso, explorar o espaço de projeto para propor uma alternativa arquitetural para mitigar o efeito do *dark silicon*.

Os experimentos foram projetados com o intuito de validar e avaliar essa proposta de estimativa de *dark silicon* a partir de projetos comerciais. Além de apresentar-se como uma alternativa menos conservadora para estimar *dark silicon*, a infraestrutura implementada provê subsídios para que um algoritmo de exploração de espaço de projeto possa considerar o *dark silicon* como um objetivo a ser minimizado durante o processo de busca por alternativas arquiteturais. Enquanto que as escalas mais conservadoras para estimativas de *dark silicon* apontam para estimativas além de 50% para processos tecnológicos abaixo de 90nm, a metodologia proposta neste trabalho obteve, no máximo, 15, 65%. Essa metodologia pôde ser validada com a utilização de uma versão inicial do fluxo de exploração do espaço de projeto da ferramenta MultiExplorer. Nesse fluxo, pode-se obter plataformas livres de *dark silicon* e ainda assim respeitando as restrições impostas pelo projeto sobre a área, a dissipação de potência e o desempenho.

Diante do exposto, entende-se que o trabalho apresentado cumpriu os objetivos inicialmente propostos ao propor uma infraestrutura de *software* que, automatizada, possibilita avaliar e estimar a área de *dark silicon* em projetos de sistemas *multicore*. Adicionalmente, alguns resultados e contribuições identificadas com o desenvolvimento deste trabalho são:

- Proposição de uma abordagem para estimativa de *dark silicon* considerando a densidade de potência presente em projetos reais e, assim, menos conservativa;

- Desenvolvimento de um ambiente de projeto e simulação de sistemas *multicore* que possibilita estimar e prover mecanismos para explorar o projeto considerando a presença de *dark silicon*;
- Publicação de artigos em conferência nacional e internacional:
 - SILVA, A. C. S. ; BIGNARDI, T. ; PALMA, E. ; ALVES, R. ; HAYASHI, C. ; SANTOS, R. Identificação Automática de Dark Silicon em Processadores Multicore. In: Simpósio em Sistemas Computacionais de Alto Desempenho (WSCAD), 2015, Florianópolis.
 - BIGNARDI, T., SANTOS, A. C. S., SANTOS, R., DUENHA, L., AZEVEDO, R., ORDONEZ, D. On the Dark Silicon Automatic Evaluation on Multicore Processors. In: 28th International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD), 2016, Los Angeles-USA. **(aceito para publicação)**.

Como propostas para desenvolvimento de trabalhos futuros sugere-se:

- Projeto e desenvolvimento completo do módulo DS-DSE (*dark silicon aware design space exploration*) para realizar a exploração do espaço de projeto considerando e avaliando automaticamente o *dark silicon*.
- Implementação de outras estimativas de *dark silicon* e compará-las com o modelo aqui proposto considerando os resultados de exploração de projeto ciente de *dark silicon*;
- Automatizar, no fluxo de execução da ferramenta MultiExplorer, o processo de identificação e mensuração do *dark silicon* de acordo com parâmetros fornecidos pelo usuário em tempo de projeto;
- Avaliar a estratégia de estimativa de *dark silicon* proposta neste trabalho em outros ambientes que exploram o espaço de projeto arquitetural mas que não estimam o *dark silicon* dinamicamente;
- Incrementar a base de dados de núcleos, no fluxo de exploração de espaço de projeto, para abranger também componentes específicos da plataforma e circuitos específicos de aplicação;
- Executar novos experimentos utilizando benchmarks específicos de aplicações visando comparar as estimativas de *dark silicon* dependentes da aplicação e, também, explorar a utilização de novos componentes arquiteturais.

Referências Bibliográficas

- [1] N. West and D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspectives*, vol. 1. Addison Wesley, 4 ed., 2011.
- [2] S. Borkar, “Design perspectives on 22nm cmos and beyond,” in *Proceedings of the 46th Annual International Design Automation Conference*, pp. 93–94, 2009.
- [3] J. M. Allred, S. Roy, and K. Chakraborty, “Dark silicon aware multicore systems: Employing design automation with architectural insight,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 5, pp. 1192–1196, 2014.
- [4] J. M. Allred, S. Roy, and K. Chakraborty, “Designing for dark silicon: A methodological perspective on energy efficient systems,” in *ACM International Symposium on Low Power Electronics and Design*, pp. 255–260, ACM, 2012.
- [5] G. Venkatesh, J. Sampson, N. Goulding, S. Garcia, V. Bryksin, J. Lugo-Martinez, S. Swanson, and M. B. Taylor, “Conservation cores: reducing the energy of mature computations,” *SIGARCH Computer Architecture News*, vol. 38, pp. 205–218, Mar. 2010.
- [6] G. Venkatesh, J. Sampson, N. Goulding-Hotta, S. K. Venkata, M. B. Taylor, and S. Swanson, “Qscores: trading dark silicon for scalable energy efficiency with quasi-specific cores,” in *Proceedings of the 44th Annual IEEE/ACM International Symposium on Microarchitecture*, pp. 163–174, ACM, 2011.
- [7] H. B. Sohail, M. Thottethodi, and T. N. Vijaykumar, “Dark silicon is sub-optimal and avoidable,” Tech. Rep. TR-ECE-11-22, School of Electrical and Computer Engineering - Purdue University, 2012.
- [8] Y. Turakhia, B. Raghunathan, S. Garg, and D. Marculescu, “Hades: Architectural synthesis for heterogeneous dark silicon chip multi-processors,” in *Design Automation Conference (DAC), 2013 50th ACM/EDAC/IEEE*, pp. 1–7, May 2013.
- [9] N. Hardavellas, M. Ferdman, B. Falsafi, and A. Ailamaki, “Toward dark silicon in servers,” *Micro*, vol. 30, no. 4, pp. 4–15, 1999.
- [10] M. Taylor, “Is dark silicon useful?,” in *ACM Design Automation Conference*, pp. 1131–1136, ACM, 2012.
- [11] H. Esmaeilzadeh, E. Blem, R. St. Amant, K. Sankaralingam, and D. Burger, “Dark silicon and the end of multicore scaling,” *SIGARCH Computer Architecture News*, vol. 39, pp. 365–376, June 2011.

- [12] N. Goulding-Hotta, J. Sampson, G. Vekatesh, S. Garcia, J. Auricchio, P.-C. Huang, M. Arora, S. Nath, V. Bhatt, J. Babb, S. Swanson, and M. B. Ior, “The greendroid mobile application processor: An architecture for silicon’s dark future,” *Micro*, vol. 31, no. 2, pp. 86–95, 2011.
- [13] R. H. Dennard, J. Cai, and A. Kumar, “A perspective on today’s scaling challenges and possible future directions,” *Solid-State Electronics*, vol. 5, no. 4, pp. 518–525, 2007.
- [14] N. S. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan, “Leakage current: Moore’s law meets static power,” *computer*, vol. 36, no. 12, pp. 68–75, 2003.
- [15] Y. Zhang, L. Peng, X. Fu, and Y. Hu, “Lighting the dark silicon by exploiting heterogeneity on future processors,” in *Design Automation Conference (DAC)*, pp. 1–7, IEEE, 2013.
- [16] R. Devigo, L. Duenha, R. Azevedo, and R. Santos, “Multiexplorer: A tool set for multicore system-on-chip design exploration,” in *2015 IEEE 26th International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, pp. 160–161, July 2015.
- [17] R. H. Dennard, F. H. Gaensslen, H. nien Yu, V. L. Rideout, E. Bassous, Andre, and R. Leblanc, “Design of ion-implanted mosfets with very small physical dimensions,” *IEEE Journal of Solid-Circuits*, pp. 256–267, 1974.
- [18] R. R. Schaller, “Moore’s law: past, present and future,” *IEEE, Spectrum*, vol. 34, no. 6, pp. 52–59, 1997.
- [19] I. T. R. for Semiconductors (ITRS), “2014 itrs white papers.” [online]. <http://www.itrs2.net/>, 2014.
- [20] S. Borkar, “Design challenges of technology scaling,” *Micro*, vol. 19, no. 4, pp. 23–29, 1999.
- [21] A. Konak, D. W. Coit, and A. E. Smith, “Multi-objective optimization using genetic algorithms: A tutorial,” *Reliability Engineering & System Safety*, vol. 91, pp. 992–1007, 2006.
- [22] Q. Zheng, N. Goulding-Hotta, S. Ricketts, S. Swanson, M. B. Taylor, and J. Sampson, “Exploring energy dark scalability in coprocessor-dominated architectures for dark silicon,” *ACM Transactions on Embedded Computing Systems (TECS)*, vol. 13, no. 4s, pp. 130:1–130:24, 2014.
- [23] H. B. Sohail, M. Thottethodi, and T. Vijaykumar, “Dark silicon is sub-optimal and avoidable,” *Technical Report, Purdue University*, 2011.
- [24] M. Shafique, S. Garg, J. Henkel, and D. Marculescu, “The eda challenges in the dark silicon era,” *Proceedings of the 51st Annual Design Automation Conference*, pp. 1–6, June 2014.

- [25] S. Pagani, H. Khdr, W. Munawar, J.-J. Chen, M. Shafique, M. Li, and J. Henkel, “Tsp: thermal safe power: efficient power budgeting for many-core systems in dark silicon,” in *Proceedings of the 2014 International Conference on Hardware/Software Codesign and System Synthesis*, pp. 10–20, ACM, 2014.
- [26] T. Carlson, W. Heirman, and L. Eeckhout, “Sniper: exploring the level of abstraction for scalable and accurate parallel multi-core simulation,” in *Proceedings of 2011 International Conference for High Performance Computing, Networking, Storage and Analysis*, p. 52, ACM, 2011.
- [27] L. Duenha, M. Guedes, H. Almeida, M. Boy, and R. Azevedo, “Mpsocbench: A toolset for mpso system level evaluation,” in *Embedded Computer Systems: Architectures, Modeling, and Simulation (SAMOS XIV)*, pp. 164–171, IEEE, 2014.
- [28] L. Sheng, J. H. Ahn, R. D. Strong, J. B. Brockman, D. M. Tullsen, and N. P. Jouppi, “Mcpat: An integrated power, area, and timing modeling framework for multicore and manycore architectures,” in *Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture*, pp. 469–480, IEEE, 2009.
- [29] R. Ubal, B. Jang, P. Mistry, D. Schaa, and D. Kaeli, “Multi2sim: A simulation framework for cpu-gpu computing,” in *Proceedings of the 21st International Conference on Parallel Architectures and Compilation Techniques*, pp. 335–344, ACM, 2012.
- [30] W. Heirman, S. Sarkar, and T. E. Carlson, “Power-Aware Multi-Core Simulation for Early Design Stage Hardware/Software Co-Optimization,” *PACT’12*, pp. 19–23, 2012.
- [31] L. Duenha and R. Azevedo, “MPSoCBench: A Benchmark Suite for Evaluating Multi-processor System-on-Chip Tools and Methodologies,” Tech. Rep. IC-13-19, Institute of Computing, University of Campinas, August 2013.
- [32] V. Zaccaria, G. Palermo, F. Castro, C. Silvano, and G. Mariani, “Multicube explorer: An open source framework for design space exploration of chip multi-processors,” in *Proceedings of the 23rd International Conference on Architecture of Computing Systems (ARCS)*, pp. 1–7, VDE, 2010.
- [33] C. Silvano, W. Fornaciari, G. Palermo, V. Zaccaria, F. Castro, M. Martinez, S. Bocchio, R. Zafalon, P. Avasare, G. Vanmeerbeeck, *et al.*, “Multicube: Multi-objective design space exploration of multi-core architectures,” in *Proceedings of the 2010 Annual Symposium on VLSI*, pp. 47–63, Springer, 2011.
- [34] K. Deb, A. Pratap, S. Agarwal, and T. Meyarivan, “A fast and elitist multiobjective genetic algorithm: Nsga-ii,” *IEEE Transactions on Evolutionary Computation*, vol. 6, pp. 182–197, Apr 2002.
- [35] “Intel pentium d processor 800 sequence,” 2006.
- [36] “Amd opteron™ processor data sheet,” 2003.
- [37] C. Bienia, S. Kumar, J. P. Singh, and K. Li, “The parsec benchmark suite: characterization and architectural implications,” in *Proceedings of the 17th international conference on Parallel architectures and compilation techniques*, pp. 72–81, ACM, 2008.

- [38] S. C. Woo, M. Ohara, E. Torrie, J. P. Singh, and A. Gupta, “The splash-2 programs: Characterization and methodological considerations,” in *ACM SIGARCH Computer Architecture News*, vol. 23, pp. 24–36, ACM, 1995.